

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PROGRAMMABLE DELAY GENERATOR AND APPLICATION CIRCUIT USING THE SAME

Patent Number: JP11284497
Publication date: 1999-10-15
Inventor(s): NOSAKA HIDEYUKI; MINAGAWA AKIRA; YAMAGUCHI AKIRA; YAMAGISHI AKIHIRO
Applicant(s): NIPPON TELEGR & TELEPH CORP <NTT>
Requested Patent: ■ JP11284497
Application Number: JP19990015495 19990125
Priority Number(s):
IPC Classification: H03K5/135; H03K5/00; H03K5/04
EC Classification:
Equivalents: JP3219068B2

Abstract

PROBLEM TO BE SOLVED: To provide a programmable delay generator, with which the control of a circuit constant can be dispensed with and the delay time of a fraction capable of setting both a numerator and a denominator can be generated with high accuracy, and a frequency synthesizer capable of generating a low-spurious output signal with no control.

SOLUTION: For this programmable delay generator, a threshold voltage generating circuit 20A for generating a threshold voltage V_k proportional to set data K and a ramp wave generating circuit 10A for generating a ramp wave voltage V_s proportional to set data S are provided in the same circuit configuration, the delay time of a fraction K/S is generated, and effects exerted upon the delay time by the circuit constants of both the circuits are canceled. In addition, the threshold voltage generating circuit 20A and the ramp wave generating circuit 10A are operated synchronously with an external clock. The frequency synthesizer uses such a programmable delay generator as a means for phase interpolation at a direct digital synthesizer. Furthermore, a multiplier, duty ratio converting circuit and PLL frequency synthesizer are enabled as the application circuit for the programmable delay generator.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-284497

(43) 公開日 平成11年(1999)10月15日

(51) Int.Cl.⁶

H 0 3 K 5/135

5/00

5/04

識別記号

F I

H 0 3 K 5/135

5/04

5/00

F

M

審査請求 有 請求項の数22 O L (全 26 頁)

(21) 出願番号 特願平11-15495

(22) 出願日 平成11年(1999) 1 月25日

(31) 優先権主張番号 特願平10-12728

(32) 優先日 平10(1998) 1 月26日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区大手町二丁目 3 番 1 号

(72) 発明者 野坂 秀之

東京都新宿区西新宿三丁目19番 2 号 日本
電信電話株式会社内

(72) 発明者 皆川 晃

東京都新宿区西新宿三丁目19番 2 号 日本
電信電話株式会社内

(72) 発明者 山口 陽

東京都新宿区西新宿三丁目19番 2 号 日本
電信電話株式会社内

(74) 代理人 弁理士 山本 恵一

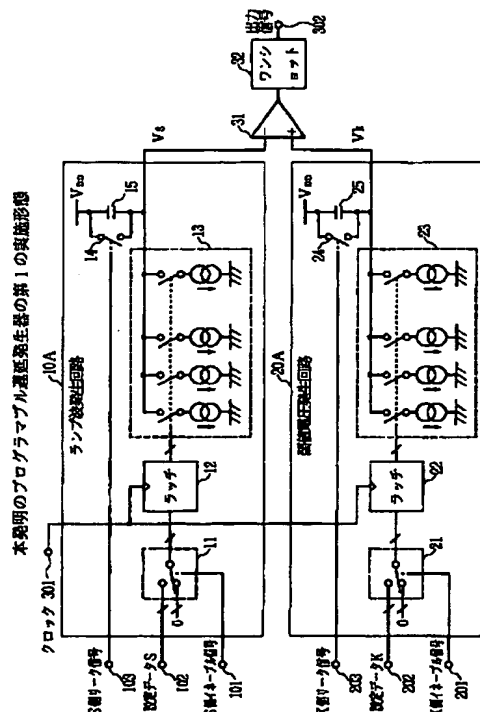
最終頁に続く

(54) 【発明の名称】 プログラマブル遅延発生器およびこれを用いた応用回路

(57) 【要約】

【課題】 回路定数の調整が不要であり、分子分母の両者が設定可能な分数の遅延時間を高精度で発生させることができるプログラマブル遅延発生器と、無調整で低スプリアスな出力信号を発生させることができる周波数シンセサイザを実現する。

【解決手段】 プログラマブル遅延発生器は、設定データ K に比例した閾値電圧 V_k を発生させる閾値電圧発生回路と、設定データ S に比例したランプ波電圧 V_s を発生させるランプ波発生回路を同一の回路構成で実現し、分数 K/S の遅延時間を発生させ、かつ両回路の回路定数が遅延時間に与える影響を相殺する。また、閾値電圧発生回路およびランプ波発生回路の動作を外部クロックに同期させる。周波数シンセサイザは、本発明のプログラマブル遅延発生器をダイレクトディジタルシンセサイザにおける位相補間の手段として用いる。更にプログラマブル遅延発生器の応用回路として通倍器、デューティ比変換回路、及び P L L 周波数シンセサイザが可能である。



【特許請求の範囲】

【請求項1】 外部から入力される設定データに対応した最終到達電位及び該電位に到達するまでの電位勾配を提供する、同じ回路構成で、共通の外部クロックにより動作する第一及び第二のランプ波発生回路と、

第一のランプ波発生回路の出力 (V_s) と第二のランプ波発生回路の出力 (V_k) を比較し、両者が一致したときに出力パルスが発生する比較回路とを有し、

第一のランプ波発生回路に所定の時刻 (t_0) に第一の設定データ (S) を設定して第一のランプ波電圧 (V_s) を発生させ、

第二のランプ波発生回路に前記所定の時刻より少なくとも1クロック時間 (T) だけ先行して第二設定データ

(K) を設定して該設定データに対応する閾値電圧 (V_k) を発生させ、

前記比較回路は前記所定の時刻からの遅延時間 (t_d) が第一及び第二の設定データの比に比例する遅延した出力パルスが発生することを特徴とするプログラマブル遅延発生器。

【請求項2】 前記第一及び第二のランプ波電圧発生回路の各々が、設定データに比例する電流を提供する電流源と、該電流源により充電される一端を所定の電位に結合したコンデンサとを有し、該コンデンサの他端に電位勾配を提供する、請求項1記載のプログラマブル遅延発生器。

【請求項3】 S 側イネーブル信号と設定データ S とクロックとを入力し、容量値 C の第1の容量に、 S 側イネーブル信号の入力後の最初のクロック (以下「特定クロック」という) に同期して設定データ S に比例した電流 $S I_0$ を流し、そのクロック入力後の時間を t としたときに

$$(S I_0 / C) \cdot t$$

で表される前記第1の容量の両端の電圧をランプ波電圧 V_s として出力するランプ波発生回路と、

前記 S 側イネーブル信号が入力される少なくとも m クロック前 (m は自然数) に入力される K 側イネーブル信号と設定データ K とクロックとを入力し、容量値 C の第2の容量に、 K 側イネーブル信号により設定される時間 $m T$ (T はクロック周期) だけ設定データ K に比例した電流 $K I_0$ を流し、その後の前記第2の容量の両端の電圧

$$(K I_0 / C) \cdot m T$$

を保持して閾値電圧 V_k として出力する閾値電圧発生回路と、

前記ランプ波電圧 V_s と前記閾値電圧 V_k のレベルの大小を比較し、両者が一致したタイミングが前記特定クロックに対する遅延時間

$$t_d = (K / S) \cdot m T$$

として設定される所定のパルス幅の出力信号を出力する遅延時間発生手段とを備え、

前記第1の容量および前記第2の容量は、前記遅延時間発生手段から出力信号が出力された後にそれぞれ所定のタイミングで入力される S 側リーク信号および K 側リーク信号によりリークされる構成であることを特徴とするプログラマブル遅延発生器。

【請求項4】 請求項3に記載のプログラマブル遅延発生器において、

ランプ波発生回路は、 S 側イネーブル信号の入力によりクロックをトリガとして設定データ S を保持するラッチと、その設定データ S に応じて第1の容量に流れる電流 $S I_0$ を制御する電流スイッチアレイとを含み、

閾値電圧発生回路は、 K 側イネーブル信号の入力によりクロックをトリガとして設定データ K を保持するラッチと、その設定データ K に応じて第2の容量に時間 $m T$ だけ流れる電流 $K I_0$ を制御する電流スイッチアレイとを含むことを特徴とするプログラマブル遅延発生器。

【請求項5】 S 側イネーブル信号と設定データ S とクロックとを入力し、容量値 C の第1の容量に、 S 側イネーブル信号の入力後の最初のクロック (以下「特定クロック」という) に同期して電流 I_0 を流し、そのクロック入力後の時間を t としたときに

$$(I_0 / C) \cdot t$$

で表される前記第1の容量の両端の電圧をさらに設定データ S に比例した値 S / MM (MM は S および K 以上の整数) で分圧した電圧

$$(S / MM) \cdot (I_0 / C) \cdot t$$

をランプ波電圧 V_s として出力するランプ波発生回路と、

前記 S 側イネーブル信号が入力される少なくとも m クロック前 (m は自然数) に K 側イネーブル信号と設定データ K とクロックとを入力し、容量値 C の第2の容量に、 K 側イネーブル信号により設定される時間 $m T$ (T はクロック周期) だけ電流 I_0 を流し、その後の前記第2の容量の両端の電圧

$$(I_0 / C) \cdot m T$$

を保持し、さらに設定データ K に比例した値 K / MM で分圧した電圧

$$(K / MM) \cdot (I_0 / C) \cdot m T$$

を閾値電圧 V_k として出力する閾値電圧発生回路と、

前記ランプ波電圧 V_s と前記閾値電圧 V_k のレベルの大小を比較し、両者が一致したタイミングが前記特定クロック信号に対する遅延時間

$$t_d = (K / S) \cdot m T$$

として設定される所定のパルス幅の出力信号を出力する遅延時間発生手段とを備え、

前記第1の容量および前記第2の容量は、前記遅延時間発生手段から出力信号が出力された後にそれぞれ所定のタイミングで入力される S 側リーク信号および K 側リーク信号によりリークされる構成であることを特徴とするプログラマブル遅延発生器。

【請求項6】 請求項5に記載のプログラマブル遅延発生器において、

ランプ波発生回路は、クロックをトリガとして外部から入力される設定データSおよびS側イネーブル信号を保持する2つのラッチと、前記S側イネーブル信号により第1の容量に電流を流す電流スイッチと、前記設定データSに応じた分圧値S/MMで前記第1の容量の両端の電圧を分圧する分圧器とを含み、

閾値電圧発生回路は、クロックをトリガとして外部から入力される設定データKおよびK側イネーブル信号を保持する2つのラッチと、前記K側イネーブル信号により第2の容量に電流を流す電流スイッチと、前記設定データKに応じた分圧値K/MMで前記第2の容量の両端の電圧を分圧する分圧器とを含むことを特徴とするプログラマブル遅延発生器。

【請求項7】 クロックおよび設定データSを入力し、クロックに同期して設定データSを累算するnビットのアクキュムレータと、

前記アクキュムレータの出力データ θ を入力し、その最上位ビット θ_{MSB} が立ち上がる1クロック周期前の出力データ θ を θ_p として $(2^n - 1 - \theta_p)$ に相当する値を演算し、この値を設定データKとして出力するデータ変換回路と、

前記アクキュムレータの出力データ θ を入力し、その最上位ビット θ_{MSB} が立ち上がる1クロック周期前に立ち上がり、かつパルス幅が1クロック周期のK側イネーブル信号を生成する制御回路と、

前記設定データSと、前記データ変換回路から出力される設定データKと、前記制御回路から出力されるK側イネーブル信号と、前記アクキュムレータの出力データ θ の最上位ビット θ_{MSB} をS側イネーブル信号として入力する請求項3～6に記載のプログラマブル遅延発生器とを備えたことを特徴とする周波数シンセサイザ。

【請求項8】 請求項7に記載の周波数シンセサイザにおいて、

請求項3～6に記載のプログラマブル遅延発生器に与えるS側リーク信号及びK側リーク信号はプログラマブル遅延発生器の出力信号をフィードバックして与える構成であることを特徴とする周波数シンセサイザ。

【請求項9】 クロックおよび設定データSを入力し、クロックに同期して設定データSを累算するnビットのアクキュムレータと、

前記アクキュムレータの出力データ θ およびオーバーフロー信号を入力して $(2^n - \theta)$ に相当する値を演算し、この値を設定データKとして出力するデータ変換回路と、

前記アクキュムレータの出力データ θ およびオーバーフロー信号を入力し、そのオーバーフロー信号が立ち上がる1クロック周期前に立ち上がり、かつパルス幅が1クロック周期のK側イネーブル信号を生成する制御回路と、

10

20

30

40

50

前記設定データSと、前記データ変換回路から出力される設定データKと、前記制御回路から出力されるK側イネーブル信号と、前記アクキュムレータから出力されるオーバーフロー信号をS側イネーブル信号として入力する請求項3～6に記載のプログラマブル遅延発生器とを備えたことを特徴とする周波数シンセサイザ。

【請求項10】 請求項9に記載の周波数シンセサイザにおいて、

請求項3～6に記載のプログラマブル遅延発生器に与えるS側リーク信号及びK側リーク信号はプログラマブル遅延発生器の出力信号をフィードバックして与える構成であることを特徴とする周波数シンセサイザ。

【請求項11】 クロックおよび設定データSを入力し、クロックに同期して設定データSを累算するnビットのアクキュムレータと、

前記アクキュムレータの出力データ θ およびオーバーフロー信号を1クロック遅延させたOFD信号を入力して

$(S - \theta)$ に相当する値を演算し、この値を設定データKとして出力するデータ変換回路と、

前記アクキュムレータの出力データ θ およびOFD信号を入力し、そのOFD信号が立ち上がる1クロック周期前に立ち上がり、かつパルス幅が1クロック周期のK側イネーブル信号を生成する制御回路と、

前記設定データSと、前記データ変換回路から出力される設定データKと、前記制御回路から出力されるK側イネーブル信号と、前記アクキュムレータから出力されるOFD信号をS側イネーブル信号として入力する請求項3～6に記載のプログラマブル遅延発生器とを備えたことを特徴とする周波数シンセサイザ。

【請求項12】 請求項11に記載の周波数シンセサイザにおいて、

請求項1～4に記載のプログラマブル遅延発生器に与えるS側リーク信号及びK側リーク信号はプログラマブル遅延発生器の出力信号をフィードバックして与える構成であることを特徴とする周波数シンセサイザ。

【請求項13】 周期Tの被通倍信号を入力し、dを任意の時間、Nを2以上の整数、Mを1以上の整数とした時に、N種類の特定の遅延時間 $d + (k \cdot M / N) \cdot T$ (kは0からN-1までのすべての整数)を発生するようにデータを設定された、もしくは上記の特定の遅延時間を固定的に発生するようにハード設計された、請求項3～6に記載の遅延発生器(複数個)と、前記被通倍信号を入力し、前記遅延発生器(複数個)のそれぞれに遅延発生のタイミングを送出する分配回路と、

前記遅延発生器(複数個)の出力の論理和をとるORゲートと、から構成され、前記被通倍信号のN/M倍の周波数の信号を出力する通倍器。

【請求項14】 請求項13の通倍器において、

前記遅延発生器の遅延時間は、 $(1/4) \cdot T$ 、 $(3/$

4) Tの2種類である($d = (1/4)T$ 、 $N = 2$ 、 $M = 1$)ことを特徴とする、前記被通倍信号の周波数の2倍の周波数を出力する通倍器。

【請求項15】 請求項13の通倍器において、前記遅延発生器の遅延時間は、 $(1/6)T$ 、 $(3/6)T$ 、 $(5/6)T$ の3種類である($d = (1/6)T$ 、 $N = 3$ 、 $M = 1$)ことを特徴とする、前記被通倍信号の周波数の3倍の周波数を出力する通倍器。

【請求項16】 請求項13の通倍器において、前記遅延発生器の遅延時間は、 $(1/6)T$ 、 $(5/6)T$ 、 $(9/6)T$ の3種類である($d = (1/6)T$ 、 $N = 3$ 、 $M = 2$)ことを特徴とする、前記被通倍信号の周波数の3/2倍の周波数を出力する通倍器。

【請求項17】 周期Tのパルス信号を入力し、請求項13～14に記載の通倍器と、この通倍器の出力を入力し、そのパルスが入力される毎にハイ、ローを切り換えて出力するトグル・フリップフロップ(T-FF)と、を備えることを特徴とするデューティ比変換回路。

【請求項18】 周期Tのパルス信号を入力し、このパルス信号を入力し、その立ち上がりまたは立ち下りのタイミングを複数に分配する分配回路と、この分配回路の出力に同期してその出力パルスをハイまたはローに切り換えるフリップフロップと、前記分配回路の出力をクロックとして入力し、出力を前記フリップフロップに送出しその出力をローまたはハイに切り換える、請求項3～6に記載の遅延発生器と、から構成されるデューティ比変換回路。

【請求項19】 周期Tのパルス信号を入力し、このパルス信号を入力し、その立ち上がりまたは立ち下りのタイミングを複数に分配する分配回路と、この分配回路の出力をクロックとして入力する請求項3～6に記載の遅延発生器と、前記遅延発生器の出力を入力しその出力をハイまたはローに切り換え、前記別の遅延発生器の出力を入力しその出力をローまたはハイに切り換えるフリップフロップと、から構成されるデューティ比変換回路。

【請求項20】 請求項13～16の通倍器において、前記遅延発生器(複数個)にそれぞれ1個ずつ含まれる複数個のランプ波発生回路を、それよりも少ない個数のランプ波発生回路で共有使用することを特徴とする通倍器及びデューティ比変換回路。

【請求項21】 ランプ波発生回路が複数の遅延発生器に共通に用いられる請求項17～19ののひとつに記載のデューティ比変換回路。

【請求項22】 電圧制御発振器(VCO)と、このVCOの出力の周波数を所定数に分周する分周器と、この分周器の出力と、外部から入力する参照信号との周

波数または位相を比較する位相(周波数)比較器と、この比較器の出力を積分し、その出力を前記VCOに送出するループフィルタと、

から構成されるPLL周波数シンセサイザにおいて、前記分周器と位相比較器の間に請求項13～16に記載の通倍器を挿入することを特徴とするPLL周波数シンセサイザ。

【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】本発明は、入力パルスをトリガとし、ディジタルデータで設定される時間遅れで立ち上がるパルスを発生するプログラマブル遅延発生器に関する。また、このプログラマブル遅延発生器を用い、ある基準周波数から任意の周波数を発生する周波数シンセサイザに関する。

【0002】また、このプログラマブル遅延発生器を用い、入力信号の周波数の整数倍の周波数の出力信号を得る通倍器に関する。また、このプログラマブル遅延発生器を用い、入力信号のデューティ比を所定の値に変換して出力するデューティ比変換回路に関する。

【0003】

【従来の技術】図12は、従来のプログラマブル遅延発生器の構成例を示す(参考文献:アログデバイス社、リニア・データブック1994/1995、pp.12-36～12-64)。

【0004】図12において、電流源82、容量83およびスイッチ84により積分器が構成される。トリガ回路81は、リーク信号401およびトリガ信号402に応じてスイッチ84を開閉し、積分器がランプ波電圧Vsを発生する。一方、ラッチ85は、ラッチ信号403に応じて設定データ404をラッチしてD/A変換器86に設定する。D/A変換器86は、設定データに比例した閾値電圧Vkを発生する。コンパレータ87は、ランプ波電圧Vsと閾値電圧Vkを比較し、両電圧が一致するタイミングで立ち上がるパルスを出力する。ワンショット88は、コンパレータ87の出力パルスを入力し、時定数τに応じたパルス幅のパルスを出力信号出力端子405に出力する。

【0005】図13は、従来のプログラマブル遅延発生器の動作例を示すタイムチャートである。なお、各信号の符号としてそれぞれの入出力端子の符号を代用する。(a)はトリガ信号402、(b)はラッチ信号403、(c)は設定データ404、(d)はリーク信号401、(e)は容量83の両端電圧であるランプ波電圧Vs、(f)はD/A変換器86の出力電圧である閾値電圧Vk、(g)はプログラマブル遅延発生器(ワンショット88)の出力信号405を示す。

【0006】まず、初めに設定データ404がラッチ信号403に同期してラッチされ、D/A変換器86はこの設定データ404に比例した閾値電圧Vkを出力す

る。閾値電圧 V_k は、D/A変換器 8 6 の単位電圧を V_0 、 $V_k = -K \cdot V_0$

で表される。

【0007】次に、トリガ信号 4 0 2 の入力をトリガとして、容量 8 3 に電流が流れてランプ波電圧 V_s が変化する。時刻 t でのランプ波電圧 V_s は、電流源 8 2 の電流値を I 、容量 8 3 の容量値を C 、トリガ信号 4 0 2 の立ち上がり時刻を t_0 とすると、 $V_s = -(I/C) \cdot (t - t_0)$ …(2)

で表される。

【0008】次に、コンパレータ 8 7 は、閾値電圧 V_k とランプ波電圧 V_s の一致を検出する。時刻 t_0 から V_k 、 V_s が一致するまでの時間、すなわち出力信号 4 0 5 が立ち上がるまでの遅延時間 t_d は、(1)、(2) 式より、

$$t_d = (K \cdot V_0 \cdot C) / I \quad \dots(3)$$

で表される。この出力信号 4 0 5 は、ワンショット 8 8 の時定数 τ が経過後に立ち下がる。また、リーク信号 4 0 1 により容量 8 3 はリークされ、ランプ波電圧 V_s は初期化される。

【0009】以上により、従来のプログラマブル遅延発生器は、(3) 式で表される設定データ K に比例した遅延時間を発生することができる。

【0010】

【発明が解決しようとする課題】ところで、周波数シンセサイザの高性能化に伴い、分子分母ともに可変である分数の遅延時間が必要とされている。このような分数の遅延時間が必要となるのは、例えばアキュムレータの出力信号からジッタのない信号を抽出しようとする場合や、フラクショナル $N \cdot PLL$ 周波数シンセサイザのスプリアスを低減させようとする場合である。

【0011】しかし、従来のプログラマブル遅延発生器は、(3) 式に示すように、設定データ K に比例する遅延時間は発生できるが、分数の遅延時間は発生することができない。また、(3) 式に示すように、遅延時間には回路定数 V_0 、 C 、 I が入っているので、遅延時間の絶対精度を向上するためにはそれぞれの調整が不可欠となる。

【0012】なお、(3) 式によれば、電流源 8 2 の電流値 I を変化させることにより分数の遅延時間の発生は可能であるが、遅延時間の絶対精度向上のために回路定数 V_0 、 C 、 I の調整が必要であることに変わりはない。このように、従来のプログラマブル遅延発生器では、遅延時間の絶対精度が要求される周波数シンセサイザなどへの応用は難しい。

【0013】一方、従来のプログラマブル遅延発生器を使用することで、入力信号から入力信号の周期よりも短い間隔でパルスが発生させることにより入力信号の周波数の整数倍の周波数の出力信号を得ようとする場合や、出力パルスの立ち上がりから立ち下がりまでの時間をブ

0、設定データを K とすると

…(1)

ログラマブル遅延発生器で決定することで入力信号のデューティ比を所定の値に変換して出力しようとする場合、入力信号の周波数に特化して回路定数の調整を行わなければならない。入力周波数が決まっている場合においても、従来のプログラマブル遅延発生器では、遅延時間の絶対精度向上のために回路定数 V_0 、 C 、 I の調整が必要である。

10 【0014】本発明は、回路定数の調整が不要であり、分子分母の両者が設定可能な分数の遅延時間を高精度で発生させることができるプログラマブル遅延発生器を提供することを目的とする。さらに、このプログラマブル遅延発生器を用いることにより、無調整で低スプリアスな出力信号を発生させることができる周波数シンセサイザを提供することを目的とする。

【0015】さらに、前記プログラマブル遅延発生器を逡倍器に用いることにより、無調整で低スプリアスな出力信号を発生させることができる逡倍器を提供することを目的とする。さらに、前記プログラマブル遅延発生器を逡倍器に用いることにより、無調整で精度の良いデューティ比に変換できる、デューティ比変換回路を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明のプログラマブル遅延発生器は、設定データ K に比例した閾値電圧 V_k を発生させる閾値電圧発生回路と、設定データ S に比例したランプ波電圧 V_s を発生させるランプ波発生回路を同一の回路構成で実現する。これにより、閾値電圧 V_k と 30 ランプ波電圧 V_s を比較する際に、両回路の回路定数が遅延時間に与える影響を相殺することができ、さらに遅延時間を設定データ K と S の分数で決定することができる。すなわち、無調整で分数の遅延時間を発生させることができる。

【0017】また、本発明のプログラマブル遅延発生器は、閾値電圧発生回路およびランプ波発生回路の動作を外部クロックに同期させることにより、遅延時間の絶対精度を向上させることができる。

40 【0018】本発明の周波数シンセサイザは、本発明のプログラマブル遅延発生器をダイレクトディジタルシンセサイザにおける位相補間の手段として用いることにより、無調整で任意の値の遅延量を得ることができるので、低スプリアスな出力信号を発生させることができる。

【0019】本発明の逡倍器は、本発明のプログラマブル遅延発生器を入力信号の周期よりも短い間隔でパルスが発生させる手段として用いることにより、無調整で正確に等間隔に並ぶ出力パルスを発生することができるので、低ジッタ、低スプリアスな出力信号を得ることができる。

【0020】本発明のデューティ比変換回路は、本発明のプログラマブル遅延発生器を出力信号のパルス幅を決定する手段として用いることにより、無調整で精度の良いデューティ比に変換できる。

【0021】

【発明の実施の形態】（プログラマブル遅延発生器の第1の実施形態）図1は、本発明のプログラマブル遅延発生器の第1の実施形態を示す。

【0022】図において、ランプ波発生回路10Aは、データセクタ11、ラッチ12、電流スイッチアレイ13、スイッチ14、容量15、S側イネーブル信号入力端子101、設定データS入力端子102、S側リーク信号入力端子103により構成され、容量15の両端の電圧としてランプ波電圧Vsを出力する。閾値電圧発生回路20Aは、データセクタ21、ラッチ22、電流スイッチアレイ23、スイッチ24、容量25、K側イネーブル信号入力端子201、設定データK入力端子202、K側リーク信号入力端子203により構成され、容量25の両端の電圧として閾値電圧V_kを出力する。また、ランプ波発生回路10Aおよび閾値電圧発生回路20Aには、共通のクロック入力端子301が接続される。

【0023】ランプ波発生回路10Aと閾値電圧発生回路20Aは同一の回路構成であり、容量15、25の容量値Cや、電流スイッチアレイ13、23の単位電流I₀などの回路定数は同一値で製作されるものとする。これは、両回路を同一基板上に集積化することにより容易に実現可能である。

【0024】コンパレータ31は、ランプ波電圧Vsおよび閾値電圧V_kを比較し、両電圧が一致するタイミングで立ち上がるパルスを出力する。ワンショット32は、コンパレータ31の出力パルスを入力し、時定数τに応じたパルス幅のパルスを出力信号出力端子302に出力する。

【0025】図2は、プログラマブル遅延発生器の第1の実施形態の動作例を示すタイムチャートである。なお、各信号の符号としてそれぞれの入出力端子の符号を代用する。(a)はクロック信号301、(b)は設定データK、(c)は設定データS、(d)はK側イネーブル信号201、(e)はS側イネーブル信号101、(f)は閾値電圧V_k、(g)はランプ波電圧Vs、(h)は出力信号302、(i)はK側リーク信号203、(j)はS側リーク信号103である。

【0026】K側イネーブル信号201が立ち上がると、データセクタ21は設定データK入力端子202をラッチ22に接続する。ラッチ22は、K側イネーブル信号201が立ち上がってから最初に入力されるクロック301の立ち上がりで、設定データK入力端子202から設定データKを取り込む。これに伴い電流スイッチアレイ23は設定データKに比例する電流を流し、容

量25の両端の電圧である閾値電圧V_kは低下していく。ここで、閾値電圧V_kが低下し初めてからクロック301が次に立ち上がる時刻をt₀、クロック周期をTとすると、閾値電圧V_kが低下し初めてからの時刻t (t₀ - T ≤ t ≤ t₀)における閾値電圧V_kは、
$$V_k = -(K I_0 / C) \cdot (t - t_0 + T) \quad \dots (4)$$
で表される。

【0027】次に、時刻t₀ - Tから時刻t₀までの間に、K側イネーブル信号203を立ち下げ、S側イネーブル信号103を立ち上げる制御を行う。すると、ラッチ22は、時刻t₀で初期値0を取り込んで電流スイッチアレイ23はオフとなり、閾値電圧V_kの低下は止まり、サンプルホールド状態となる。これ以降 (t ≥ t₀)の閾値電圧V_kは、
$$V_k = -(K I_0 / C) \cdot T \quad \dots (5)$$
で表される。

【0028】一方、ランプ波発生回路10Aのラッチ12は、時刻t₀でデータセクタ11を介して設定データS入力端子102から設定データSを取り込む。これに伴い電流スイッチアレイ13は設定データSに比例する電流を流し、容量15の両端の電圧であるランプ波電圧Vsは低下していく。時刻t₀以降の時刻tにおけるランプ波電圧Vsは、
$$V_s = -(S I_0 / C) \cdot (t - t_0) \quad \dots (6)$$
で表される。

【0029】次に、コンパレータ31は、閾値電圧V_kとランプ波電圧Vsの一致を検出する。時刻t₀からV_k、Vsが一致するまでの時間、すなわち出力信号302が立ち上がるまでの遅延時間t_d (= t - t₀)は、(5)、(6)式より、
$$t_d = (K / S) \cdot T \quad \dots (7)$$
で表される。この出力信号302は、ワンショット32の時定数τが経過後に立ち下がる。

【0030】また、K側リーク信号203およびS側リーク信号103の立ち上がりで容量25、15はリークされ、閾値電圧V_kおよびランプ波電圧Vsは初期値に戻る。各リーク信号のタイミングは、V_kとVsの一致が検出されて出力信号302が出力された後であればよい。図2ではともにt₀ + Tで立ち上がり、t₀ + 2Tで立ち下がるように設定しているが、出力信号302を各リーク信号としてフィードバックしてもよい。

【0031】以上により、本実施形態のプログラマブル遅延発生器は、(7)式で表される分数K/Sに比例した遅延時間を発生することができる。この分数を形成するKおよびSは、それぞれ任意に設定可能な設定データであり、任意の分数による遅延時間の発生が可能である。

【0032】なお、(7)式に回路定数が含まれていないのは、ランプ波発生回路10Aと閾値電圧発生回路20Aの回路定数、すなわち容量15、25の容量値Cおよび電流スイッチアレイ13、23の単位電流I₀を同

一値としたためである。このような同一構成のランプ波発生回路 10A と閾値電圧発生回路 20A を製作すれば、各回路定数の値が設計値と違っていても調整は不要であり、また発生する遅延時間への影響もない。また、ランプ波発生回路 10A と閾値電圧発生回路 20A の動作は、外部から入力されるクロック 301 に同期しており、閾値電圧 V_k の低下が継続する時間も正確にクロックに同期しているので、遅延時間の絶対精度の向上が可能である。

【0033】(プログラマブル遅延発生器の第 2 の実施形態) 図 3 は、本発明のプログラマブル遅延発生器の第 2 の実施形態を示す。

【0034】図において、ランプ波発生回路 10B は、ラッチ 12-1、12-2、電流スイッチ 16、スイッチ 14、容量 15、分圧器 17、S 側イネーブル信号入力端子 101、設定データ S 入力端子 102、S 側リーク信号入力端子 103 により構成され、容量 15 の両端の電圧として出力される容量電圧 V_{sc} を分圧器 17 で分圧し、ランプ波電圧 V_s を出力する。閾値電圧発生回路 20B は、ラッチ 22-1、22-2、電流スイッチ 26、スイッチ 24、容量 25、分圧器 27、K 側イネーブル信号入力端子 201、設定データ K 入力端子 202、K 側リーク信号入力端子 203 により構成され、容量 25 の両端の電圧として出力される容量電圧 V_{kc} を分圧器 27 で分圧し、閾値電圧 V_k を出力する。また、ランプ波発生回路 10B および閾値電圧発生回路 20B には、共通のクロック入力端子 301 が接続される。

【0035】ランプ波発生回路 10B と閾値電圧発生回路 20B は同一の回路構成であり、容量 15、25 の容量値 C 、電流スイッチ 16、26 に流れる電流値 I_0 、分圧器 17、27 の分圧基準値 M などの回路定数は同一値で製作されるものとする。これは、両回路を同一基板上に集積化することにより容易に実現可能である。

【0036】コンパレータ 31 は、ランプ波電圧 V_s および閾値電圧 V_k を比較し、両電圧が一致するタイミングで立ち上がるパルスを出力する。ワンショット 32 は、コンパレータ 31 の出力パルスを入力し、時定数 τ に応じたパルス幅のパルスを出力信号出力端子 302 に出力する。

【0037】図 4 は、プログラマブル遅延発生器の第 2 の実施形態の動作例を示すタイムチャートである。なお、各信号の符号としてそれぞれの入出力端子の符号を代用する。(a) はクロック 301、(b) は設定データ K、(c) は設定データ S、(d) は K 側イネーブル信号 201、(e) は S 側イネーブル信号 101、(f) は容量電圧 V_{kc} 、(g) は容量電圧 V_{sc} 、(h) は閾値電圧 V_k 、(i) はランプ波電圧 V_s 、(j) は出力信号 302、(k) は K 側リーク信号 203、(l) は S 側リーク信号 103 である。

【0038】まず、設定データ K 入力端子 202 から設定データ K を入力し、K 側イネーブル信号 201 を立ち上げる。ラッチ 22-1 は、クロック 301 の立ち上がりにより同期して K 側イネーブル信号 201 を取り込み、ラッチ 22-2 は、クロック 301 の立ち上がりにより同期して設定データ K を取り込む。電流スイッチ 26 は、このタイミングで電流 I_0 を流し初め、容量 25 の両端の電圧である容量電圧 V_{kc} は低下していく。ここで、容量電圧 V_{kc} が低下し初めてからクロック 301 が次に立ち上がる時刻を t_0 、クロック周期を T とすると、容量電圧 V_{kc} が低下し初めてからの時刻 t ($t_0 - T \leq t \leq t_0$) における容量電圧 V_{kc} は、
$$V_{kc} = -(I_0/C) \cdot (t - t_0 + T) \quad \dots (8)$$
 で表される。

【0039】次に、時刻 $t_0 - T$ から時刻 t_0 までの間に、K 側イネーブル信号 201 を立ち下げ、S 側イネーブル信号 101 を立ち上げる制御を行う。すると、ラッチ 22-1 は時刻 t_0 で電流スイッチ 26 をオフとするので、容量電圧 V_{kc} の低下は止まり、サンプルホールド状態となる。これ以降 ($t \geq t_0$) の容量電圧 V_{kc} は、
$$V_{kc} = -(I_0/C) \cdot T \quad \dots (9)$$
 で表される。

【0040】この容量電圧 V_{kc} は分圧器 27 に入力され、ラッチ 22-2 に保持された設定データ K に比例した電圧に分圧され、閾値電圧 V_k として出力される。この分圧器 27 から出力される閾値電圧 V_k は、
$$V_k = (K/M) \cdot V_{kc} \quad \dots (10)$$
 で表される。ここで、分圧基準値 M は K の最大値かそれよりも大きい値であり、分圧器 27 の種類に固有の値である。分圧器 27 として一般に広く使われている R-2R 抵抗網、またはポテンショメータ型抵抗網を使用する場合には、 M は K の最大値 + 1 となる。なお、分圧器 27 の入力インピーダンスが、スイッチ 24、容量 25 および電流スイッチ 26 で構成される積分器の出力インピーダンスに比べて十分に高くない場合には、積分器と分圧器 27 の間に電圧フォロワなどのインピーダンス変換器を挿入すればよい。

【0041】(9)、(10) 式により、閾値電圧 V_k は、
$$V_k = -(K/M) \cdot (I_0/C) \cdot T \quad \dots (11)$$
 で表される。

【0042】一方、時刻 t_0 において、ランプ波発生回路 10B のラッチ 12-1 は S 側イネーブル信号入力端子 101 から S 側イネーブル信号を取り込み、ラッチ 12-2 は設定データ S 入力端子 102 から設定データ S を取り込む。電流スイッチ 16 はこのタイミングで電流 I_0 を流し初め、容量 15 の両端の電圧である容量電圧 V_{sc} は低下していく。時刻 t_0 以降の時刻 t における容量電圧 V_{sc} は、

$$V_{sc} = -(I_0/C) \cdot (t - t_0) \quad \dots(12)$$

で表される。

【0043】この容量電圧 V_{sc} は分圧器 17 に入力され、ラッチ 12-2 に保持された設定データ S に比例し

$$V_s = -(S/M) \cdot (I_0/C) \cdot (t - t_0) \quad \dots(13)$$

で表される。

【0044】次に、コンパレータ 31 は、閾値電圧 V_k とランプ波電圧 V_s の一致を検出する。時刻 t_0 から V_k 、 V_s が一致するまでの時間、すなわち出力信号 302 が立ち上がるまでの遅延時間 $t_d (= t - t_0)$

は、(11)、(13) 式より、

$$t_d = (K/S) \cdot T \quad \dots(14)$$

で表される。この出力信号 302 は、ワンショット 32 の時定数 τ が経過後に立ち下がる。

【0045】また、 K 側リーク信号 203 および S 側リーク信号 103 の立ち上がりで容量 25、15 はリークされ、閾値電圧 V_k (容量電圧 V_{kc}) およびランプ波電圧 V_s (容量電圧 V_{sc}) は初期値に戻る。各リーク信号のタイミングは、 V_k と V_s の一致が検出されて出力信号 302 が出力された後であればよい。図 4 ではともに $t_0 + T$ で立ち上がり、 $t_0 + 2T$ で立ち下がるように設定しているが、出力信号 302 を各リーク信号としてフィードバックしてもよい。

【0046】以上により、本実施形態のプログラマブル遅延発生器は、(14) 式で表される分数 K/S に比例した遅延時間を発生することができる。この分数を形成する K および S は、それぞれ任意に設定可能な設定データであり、任意の分数による遅延時間の発生が可能である。

【0047】なお、(14) 式に回路定数が含まれていないのは、ランプ波発生回路 10B と閾値電圧発生回路 20B の回路定数、すなわち容量 15、25 の容量値 C 、電流スイッチ 16、26 に流れる電流値 I_0 、分圧器 17、27 の分圧基準値 M を同一値としたためである。こ

$$f_0 = (S/2^n) f_{CLK}$$

で表される。このアキュムレータは、それ単体でダイレクトデジタルシンセサイザの最も簡単な形であり、他の形式の多くのダイレクトデジタルシンセサイザにも位相信号の計算のために使用されている。

【0051】しかし、アキュムレータ単体では、図 6 に示すように出力信号 θ_{MSB} に大きなジッタを含んでいる。ジッタは、周波数スペクトルの観測では大きな不要波成分 (スプリアス成分) となって現れるので、アキュムレータ単体を無線機器用の局部発振器に適用することは難しい。このスプリアス成分を抑えるために、最も一般的なダイレクトデジタルシンセサイザでは、ROM

$$\delta t = ((2^{n-1} - \theta_p) / S) \cdot T \quad \dots(16)$$

で表される。例えば、1 つ目の θ_{MSB} が立ち上がる直前の θ の値 θ_p は 3 であるので、1 つ目の θ_{MSB} について

$$\delta t = ((4 - 3) / 3) \cdot T = T / 3$$

た電圧に分圧され、ランプ波電圧 V_s として出力される。この分圧器 17 から出力されるランプ波電圧 V_s は、

のような同一構成のランプ波発生回路 10B と閾値電圧発生回路 20B を製作すれば、各回路定数の値が設計値と違っていても調整は不要であり、また発生する遅延時間への影響もない。また、ランプ波発生回路 10B と閾値電圧発生回路 20B の動作は、外部から入力されるクロック 301 に同期しており、閾値電圧 V_k の低下が継続する時間も正確にクロックに同期しているので、遅延時間の絶対精度の向上が可能である。

【0048】(周波数シンセサイザの第 1 の実施形態) 図 5 は、周波数シンセサイザの第 1 の実施形態を示す。

【0049】図において、周波数シンセサイザは、アキュムレータ 40A、データ変換回路 50A、制御回路 60A、上述した本発明のプログラマブル遅延発生器 70 により構成される。アキュムレータ 40A は、加算器 41A およびラッチ 42A により構成される。設定データ S 入力端子 102 から入力される設定データ S は、アキュムレータ 40A の加算器 41A およびプログラマブル遅延発生器 70 に設定される。クロック入力端子 301 から入力されるクロックは、アキュムレータ 40A のラッチ 42A およびプログラマブル遅延発生器 70 に与えられる。

【0050】図 6 は、アキュムレータ 40A の動作原理を説明する図である。アキュムレータのビット数 n は 3、設定データ S は 3 である。アキュムレータの出力データ θ の最上位ビット θ_{MSB} は、 $2^n = 8$ クロック周期の時間内に $S = 3$ パルスを合んでいる。したがって、その平均周波数 f_0 は、クロック周波数を f_{CLK} とすると、

$$\dots(15)$$

を用いて正弦波を出力として発生させる方法がとられている。

【0052】また、スプリアス成分を抑える他の方法として、位相補間の手段が知られている (参考文献: V. Reihardt et al., "A short survey of frequency synthesizer techniques", in Proc. 40th Annual Frequency Control symp., pp. 355-365, May 1986)。位相補間の手段は、図 6 に示すように、出力信号 θ_{MSB} の各パルスをパルスごとに遅延させて θ_{ideal} を発生させる。このパルスの遅延量 δt は、 θ_{MSB} が立ち上がる直前の θ の値を θ_p とすると、

$$\dots(16)$$

遅延させれば、 θ_{ideal} の 1 つ目のパルスに一致する。

【0053】従来の位相補間の手段としては、従来技術として示した閾値電圧発生回路とランプ波発生回路を異

なる回路で構成する遅延発生器（参考文献：H.Nosaka et al., "A phase interpolation direct digital synthesizer with a digitally controlled delay generator", in 1997 Symp. VLSI Circuits Dig., pp.75-76, June 1997）や、遅延線のタップを切り替えるタイプの遅延発生器（参考文献：V.N.Kochemasov et al., "Digital-computer synthesizers of two-level signals with phase-error compensation", Telecommunications and radio engineering, vol.36/37, pp.55-59, Oct. 1982）がある。しかし、これらの遅延発生器は、従来技術として説明したように、精度をだすために遅延量の調整が必要であり、また単位遅延時間の調整が難しいという問題があった。

【0054】上述した本発明のプログラマブル遅延発生器は、無調整で任意の値の遅延量を得ることができるので、図5に示すようにこれを位相補間の手段として用いたダイレクトデジタルシンセサイザは、無調整で低スプリアスな出力を得ることが可能である。

【0055】アキュムレータ40Aの出力データ θ は、データ変換回路50Aおよび制御回路60Aに入力されるとともに、その最上位ビット θ_{MSB} はS側イネーブル信号101としてプログラマブル遅延発生器70に入力される。S側イネーブル信号101は、上述したようにプログラマブル遅延発生器70が遅延発生を開始するトリガ信号として機能する。

【0056】データ変換回路50Aは、(16)式の分子データ $2^{n-1} - \theta_p$ を演算し、プログラマブル遅延発生器70に与える設定データKを出力する。データ変換回路50Aは、この減算演算を減算回路で構成することができるが、より簡単な2の補数演算（ θ_p 各ビットを反転し、さらに1を加算する演算）回路でも同じ結果が得られる。制御回路60Aは、簡単なデジタル回路から構成され、最上位ビット θ_{MSB} の信号を反転した後に1クロック遅延させた信号をS側リーク信号103として出力し、最上位ビット θ_{MSB} が立ち上がるタイミングの1クロック前に立ち上がり、かつパルス幅が1クロック周期の信号をK側イネーブル信号201として出力する。プログラマブル遅延発生器70の出力信号は、出力信号出力端子302に取り出されるとともに、K側リーク信号203としてプログラマブル遅延発生器70にフィードバックされる。

【0057】このような構成により、プログラマブル遅延発生器70は(16)式に示す遅延時間を発生し、図5に示す周波数シンセサイザは、基本周波数が(15)式で表されるスプリアス成分の少ない矩形波を出力する。

【0058】図7は、周波数シンセサイザの第1の実施形態の動作例を示すタイムチャートである。(a)はクロック301、(b)はアキュムレータ40Aの出力データ θ 、(c)は出力データ θ の最上位ビット θ_{MSB} 、(d)はランプ波電圧Vs、(e)はK側イネーブル信号20

1、(f)は閾値電圧V_k、(g)は出力信号302、(h)はK側リーク信号203、(i)はS側リーク信号103である。

【0059】なお、アキュムレータ40Aのビット数nは3、設定データSは3である。また、最上位ビット θ_{MSB} の立ち上がりの1クロック周期後のタイミングを各遅延プロセスの初期時刻 t_0 に一致させている。

【0060】ランプ波電圧Vsは設定データSに比例し、 θ_{MSB} （S側イネーブル信号101）の1クロック周期遅延させた信号に同期したランプ波になっている。K側イネーブル信号201は、 θ_{MSB} が立ち上がるタイミングの1クロック前に立ち上がりかつパルス幅が1クロック周期の信号である。このK側イネーブル信号201をトリガとし、閾値電圧V_kはデータ変換回路50Aから出力される設定データK（ $=2^{n-1} - \theta_p$ ）に比例した1クロック周期の長さのランプ波を形成し、その電圧が保持される。ランプ波電圧Vsと閾値電圧V_kが一致すると、そのタイミングでワンショットの時定数 τ で決まるパルス幅の出力信号302が出力される。この出力信号302は、K側リーク信号203としてプログラマブル遅延発生器70にフィードバックされ、閾値電圧V_kをリセットして次の閾値電圧発生に備える。また、S側リーク信号103は、最上位ビット θ_{MSB} の信号を反転した後に1クロック遅延させた信号であり、ランプ波電圧Vsをリセットする。以上の動作により、各パルスが等間隔に並び、ジッタがない出力信号302が得られる。

【0061】なお、出力端にトグルフリップフロップ（T-FF）を付加すると、デューティ比50%の矩形波のシンセサイザ出力を得ることが可能である。この場合の基本周波数は(15)式の半分になる。

【0062】図8は、周波数シンセサイザの第1の実施形態の実験結果を示す。プログラマブル遅延発生器70には、図1に示す第1の実施形態のものをを用いた。デジタル回路はCMOS標準ロジックで構成した。クロック周波数は200kHz、アキュムレータ40Aのビット数nは8、設定データSは96とし、プログラマブル遅延発生器70の基本周波数 f_0 は(15)式より

$$f_0 = (96/256) \cdot f_{CLK} = (3/8) \cdot f_{CLK} = 75 \text{ kHz}$$

である。なお、本実験では、デューティ比50%の矩形波を得るために、出力端にT-FFを付加し、この出力周波数を37.5kHzとした。(a)はクロック301、(d)はランプ波電圧Vs、(f)は閾値電圧V_k、(g)はデューティ比50%の矩形波とした出力信号である。

【0063】図9は、周波数シンセサイザの第1の実施形態の実験結果における出力信号スペクトルを示す。T-FF出力の基準周波数37.5kHzおよびその高調波以外の不要波（スプリアス成分）は大きく抑えられており、最大でも-50dBc以下であることがわかる。

【００６４】(周波数シンセサイザの第２の実施形態)図１０は、本発明のプログラブル遅延発生器を用いた周波数シンセサイザの第２の実施形態を示す。

【００６５】図において、周波数シンセサイザは、アキュムレータ４０Ｂ、データ変換回路５０Ｂ、制御回路６０Ｂ、本発明のプログラマブル遅延発生器７０により構成される。アキュムレータ４０Ｂは、加算器４１Ｂおよびラッチ４２Ｂにより構成される。設定データＳ入力端子１０２から入力される設定データＳは、アキュムレータ４０Ｂの加算器４１Ｂおよびプログラマブル遅延発生

$$\delta t = ((2^n - \theta) / S) \cdot T$$

で表される時間だけ遅延させる。

【 0 0 6 7 】データ変換回路 5 0 B は、(17) 式の分子データ $2^n - \theta$ を演算し、プログラマブル遅延発生器 7 0 に与える設定データ K を出力する。制御回路 6 0 B は、オーバーフロー信号を反転した後に 1 クロック遅延させた信号を S 側リーク信号 1 0 3 として出力し、オーバーフロー信号が立ち上がるタイミングの 1 クロック前に立ち上がり、かつパルス幅が 1 クロック周期の信号を K 側イネーブル信号 2 0 1 として出力する。プログラマブル遅延発生器 7 0 の出力信号は、出力信号出力端子 3 0 2 に取り出されるとともに、K 側リーク信号 2 0 3 としてプログラマブル遅延発生器 7 0 にフィードバックされる。

【0068】このような構成により、プログラマブル遅延発生器70は(17)式に示す遅延時間を発生し、図10に示す周波数シンセサイザは、基本周波数が(15)式で表されるスプリアス成分の少ない矩形波を出力する。なお、出力端にトグルフリップフロップ(T-F F)を付加すると、デューティ比50%の矩形波のシンセサイザ出力を得ることが可能である。この場合の基本周波数は(15)式の半分になる。

$$\delta t = ((S - \theta) / S) \cdot T$$

で表される時間だけ遅延させる。

【0072】データ変換回路50Cは、(18)式の分子データ $S-\theta$ を演算し、プログラマブル遅延発生器70に与える設定データKを出力する。制御回路60Cは、OFD信号を反転した後に1クロック遅延させた信号をS側リーク信号103として出力し、OFD信号が立ち上がるタイミングの1クロック前に立ち上がり、かつパルス幅が1クロック周期の信号をK側イネーブル信号201として出力する。プログラマブル遅延発生器70の出力信号は、出力信号出力端子302に取り出されるとともに、K側リーク信号203としてプログラマブル遅延発生器70にフィードバックされる。

【００７３】このような構成により、プログラマブル遅延発生器７０は(18)式に示す遅延時間を発生し、図１１に示す周波数シンセサイザは、基本周波数が(15)式で表されるスプリアス成分の少ない矩形波を出力する。なお、出力端にトグルフリップフロップ（Ｔ－ＦＦ）を付

器 70 に設定される。クロック入力端子 301 から入力されるクロックは、アキュムレータ 40B のラッチ 42B およびプログラマブル遅延発生器 70 に与えられる。

【００６６】アキュムレータ４０Ｂの出力データθは、データ変換回路５０Ｂおよび制御回路６０Ｂに入力される。アキュムレータ４０Ｂの加算器４１Ｂから出力されるオーバーフロー信号は、データ変換回路５０Ｂおよび制御回路６０Ｂに入力されるとともに、Ｓ側イネーブル信号１０１としてプログラマブル遅延発生器７０に入力される。本実施形態では、オーバーフロー信号を

$$\cdots (17)$$

【００６９】（周波数シンセサイザの第３の実施形態）図１１は、本発明のプログラブル遅延発生器を用いた周波数シンセサイザの第３の実施形態を示す。

【００７０】図において、周波数シンセサイザは、アキュムレータ４０Ｃ、データ変換回路５０Ｃ、制御回路６０Ｃ、本発明のプログラマブル遅延発生器７０により構成される。アキュムレータ４０Ｃは、加算器４１Ｃおよびラッチ４２Ｃにより構成される。設定データＳ入力端子１０２から入力される設定データＳは、アキュムレータ４０Ｃの加算器４１Ｃおよびプログラマブル遅延発生器７０に設定される。クロック入力端子３０１から入力されるクロックは、アキュムレータ４０Ｃのラッチ４２Ｃおよびプログラマブル遅延発生器７０に与えられる。

【0071】アキュムレータ40Cの出力データθは、データ変換回路50Cおよび制御回路60Cに入力される。アキュムレータ40Cの加算器41Cから出力されるオーバーフロー信号は、ラッチ42Cを介して1クロック遅延させたOFD信号となり、データ変換回路50Cおよび制御回路60Cに入力されるとともに、S側イネーブル信号101としてプログラマブル遅延発生器70に入力される。本実施形態では、OFD信号を

... (18)

加すると、デューティ比50%の矩形波のシンセサイザ出力を得ることが可能である。この場合の基本周波数は(15)式の半分になる。

【0074】（通倍器の第1の実施形態）図14は、本発明の通倍器の第1の実施形態を示す。

【 0 0 7 5 】図において、数字符号 5 0 0 は分配回路、5 0 1 ~ 5 0 3、5 0 5 ~ 5 0 7 は所定の電流を流し込む（あるいは流し出す）ように、データを設定またはハードで実現され、オン、オフを外部から制御される電流スイッチ、5 0 9 ~ 5 1 1、5 1 3 ~ 5 1 5 は容量、5 1 7 ~ 5 1 9、5 2 1 ~ 5 2 3 はスイッチ、5 2 5、5 2 6、5 2 8、5 2 9 はコンパレータ、5 3 1、5 3 2、5 3 4、5 3 5 はパルス幅調整回路、5 3 7、5 3 8、5 4 0、5 4 1 は D - F F、5 4 3 は O R ゲート、5 4 4 はワンショット・マルチバイブレータ、6 0 0 は被過渡信号入力端子、6 0 1 は出力端子を表している。

【0076】本実施形態は、4個の遅延発生器を含んで

いる。被通倍信号の周期を T とすると、第 1 の遅延発生器及び第 3 の遅延発生器が $(1/4)T$ の遅延時間を発生し、第 2 の遅延発生器及び第 4 の遅延発生器が $(3/4)T$ の遅延時間を発生する。

【0077】電流スイッチ 501、容量 509、スイッチ 517 は第 1 の遅延発生器の閾値電圧 V_1 を発生し、電流スイッチ 503、容量 511、スイッチ 519 は第 1 の遅延発生器のランプ波 V_3 を発生する。 V_1 及び V_3 の電圧を比較するコンパレータ 525 の出力は第 1 の遅延発生器の出力となる。パルス幅調整回路 531 は第 1 の遅延発生器の出力パルス幅を短く整形する。これは、第 1 の遅延発生器の出力パルスが、第 2～第 4 の遅延発生器からの出力パルスと時間的に重ならないようにするためである。

【0078】電流スイッチ 502、容量 510、スイッチ 518 は第 2 の遅延発生器の閾値電圧 V_2 を発生し、電流スイッチ 503、容量 511、スイッチ 519 は第 2 の遅延発生器のランプ波 V_3 を発生する。この V_3 は第 1 の遅延発生器のランプ波と第 2 の遅延発生器のランプ波の両者の役割を兼ねている。

【0079】電流スイッチ 505、容量 513、スイッチ 521 は第 3 の遅延発生器の閾値電圧 V_4 を発生し、電流スイッチ 507、容量 515、スイッチ 523 は第 3 の遅延発生器のランプ波 V_6 を発生する。

【0080】電流スイッチ 506、容量 514、スイッチ 522 は第 4 の遅延発生器の閾値電圧 V_5 を発生し、電流スイッチ 507、容量 515、スイッチ 523 は第 4 の遅延発生器のランプ波 V_6 を発生する。この V_6 は第 3 の遅延発生器のランプ波と第 4 の遅延発生器のランプ波の両者の役割を兼ねている。

【0081】図 15 は、通倍器の第 1 の実施形態の動作例を示すタイムチャートである。(a) は被通倍信号 (CLK)、(b) は分配回路 500 出力 (CLK1)、(c) は分配回路 500 逆相出力 (CLK2)、(d) は第 1 の遅延発生器の閾値電圧 V_1 、第 2 の遅延発生器の閾値電圧 V_2 、第 1 の遅延発生器のランプ波 (兼第 2 の遅延発生器のランプ波) V_3 、(e) は第 3 の遅延発生器の閾値電圧 V_4 、第 4 の遅延発生器の閾値電圧 V_5 、第 3 の遅延発生器のランプ波 (兼第 4 の遅延発生器のランプ波) V_6 、(f) は通倍器の第 1 の実施形態の出力である。

【0082】分配回路 500 は T-FF のみで構成され、被通倍信号 (CLK) のパルスの入力とともにその出力を反転させる ((b) CLK1、(c) CLK2)。CLK1 がハイ状態になると、電流スイッチ 501、502 がオン状態になり、時間に比例して容量 509、510 に電荷がチャージされてゆく。被通倍信号の周期 T が経過すると、CLK1 がロー状態になり、電流スイッチ 501、502 がオフ状態に戻る。ここで、コンパレータ 525、526 の入力インピーダンスが十分

に高ければ、容量 509、510 にチャージされた電荷は保持される。ここで、電流スイッチ 501、502 の電流源を 1:3 になるようにデータを設定、またはハードで実現すると、容量 509、510 の電圧 V_1 、 V_2 は正確に 1:3 となる。

【0083】一方、CLK1 がハイ状態の期間、スイッチ 519 はオン状態であり、容量 511 の電荷は放電されている。CLK1 がロー状態に戻り、同時に CLK2 がハイ状態となると、電流スイッチ 503 がオン状態になり、時間に比例して容量 511 に電荷がチャージされてゆく。ここで、電流スイッチ 503 の電流源を、電流スイッチ 501 の 4 倍になるようにデータを設定、またはハードで実現しておく。すると、CLK2 が立ち上がったから $(1/4)T$ 経過後に、容量 511 の電圧 V_3 は V_1 に一致し、 $(3/4)T$ 経過後に V_2 に一致する。コンパレータ 525 はこの $(1/4)T$ のタイミングを検出して出力 (第 1 の遅延発生器出力) し、コンパレータ 526 はこの $(3/4)T$ のタイミングを検出して出力 (第 2 の遅延発生器出力) する。パルス幅調整回路 531、532 の出力 (co1、co2) は D-FF 537、538 のセット入力端子に送出され、これらの D-FF をオン状態にする。これによりスイッチ 517、518 がオン状態となり、容量 509、510 の電荷を放電し、次のチャージに備える。

【0084】第 3 の遅延発生器、第 4 の遅延発生器の動作は、上述した第 1 の遅延発生器、第 2 の遅延発生器の動作とそれぞれ T ずれること以外はまったく同様である。従って、パルス幅調整回路 531 がパルスを出力してから $(1/2)T$ 経過後にパルス幅調整回路 532 がパルスを出力し、さらに $(1/2)T$ 経過後にパルス幅調整回路 534 がパルスを出力し、さらに $(1/2)T$ 経過後にパルス幅調整回路 535 がパルスを出力する動作を繰り返す。結果として通倍器の第 1 の実施形態は、ワンショット・マルチバイブレータ 544 で決定されるパルス幅を持つ、周期 $(1/2)T$ の矩形波信号を出力することになる。

【0085】通倍器の第 1 の実施形態は、遅延発生器を使用して入力信号の周期よりも短い間隔でパルスを発生させることにより、無調整で低スプリアスな出力信号を発生させることができる。遅延発生器に、本発明のプログラマブル遅延発生器を用いることは、回路定数の設定値からのずれや、電源電圧の変動があってもスプリアス特性が悪化しない効果がある。

【0086】なお、本実施形態における遅延発生器の遅延時間は $(1/4)T$ 、 $(3/4)T$ の場合を例に述べたが、2 通倍器を実現する遅延発生器の遅延時間の組み合わせは無数に考えられる。例えば、0、 $(1/2)T$ の組み合わせ、 $(1/2)T$ 、 $(2/2)T$ の組み合わせが考えられ、それぞれの場合についても容易にハードで実現可能である。出力のスプリアス特性、回路規模の

両面を考慮すると、 $(1/4)T$ 、 $(3/4)T$ の組み合わせが最も優れている。

【0087】(通倍器の第2の実施形態)図16は、本発明の通倍器の第2の実施形態を示す。

【0088】図において、数字符号500aは分配回路、501a~508aは所定の電流を流し込む(あるいは流し出す)ように、データを設定またはハードで実現され、オン、オフを外部から制御される電流スイッチ、509a~516aは容量、517a~524aはスイッチ、525a~530aはコンパレータ、531a~536aはパルス幅調整回路、537a~542aはD-FF、543aはORゲート、544aはワンショット・マルチバイブレータ、600aは被通倍信号入力端子、601aは出力端子を表している。

【0089】本実施形態は、6個の遅延発生器を含んでいる。被通倍信号の周期をTとすると、第1の遅延発生器及び第4の遅延発生器が $(1/6)T$ の遅延時間を発生し、第2の遅延発生器及び第5の遅延発生器が $(3/6)T$ の遅延時間を発生し、第3の遅延発生器及び第6の遅延発生器が $(5/6)T$ の遅延時間を発生する。

【0090】動作原理は通倍器の第1の実施形態と同じであるが、遅延発生器の個数とその遅延時間が異なる。電流スイッチ501a、容量509a、スイッチ517aは第1の遅延発生器の閾値電圧V1を発生し、電流スイッチ504a、容量512a、スイッチ520aは第1の遅延発生器のランプ波V4を発生する。V1及びV4の電圧を比較するコンパレータ525aの出力は第1の遅延発生器の出力となる。パルス幅調整回路531aは第1の遅延発生器の出力パルス幅を短く整形する。これは、第1の遅延発生器の出力パルスが、第2~第6の遅延発生器からの出力パルスと時間的に重ならないようにするためである。

【0091】図17は、通倍器の第2の実施形態の動作例を示すタイムチャートである。(a)は被通倍信号(CLK)、(b)は分配回路500a出力(CLK1)、(c)は分配回路500a逆相出力(CLK2)、(d)は第1の遅延発生器の閾値電圧V1、第2の遅延発生器の閾値電圧V2、第3の遅延発生器の閾値電圧V3、第1の遅延発生器のランプ波(兼第2、第3の遅延発生器のランプ波)V4、(e)は第4の遅延発生器の閾値電圧V5、第5の遅延発生器の閾値電圧V6、第6の遅延発生器の閾値電圧V7、第4の遅延発生器のランプ波(兼第5、第6の遅延発生器のランプ波)V8、(f)は通倍器の第2の実施形態の出力である。

【0092】分配回路500aの出力CLK1がハイ状態になると、電流スイッチ501a、502a、503aがオン状態になり、時間に比例して容量509a、510a、511aに電荷がチャージされてゆく。被通倍信号の周期Tが経過すると、CLK1がロー状態になり、電流スイッチ501a、502a、503aがオフ

状態に戻る。ここで、コンパレータ525a、526a、527aの入力インピーダンスが十分に高ければ、容量509a、510a、511aにチャージされた電荷は保持される。ここで、電流スイッチ501a、502a、503aの電流源を1:3:5になるようにデータを設定、またはハードで実現すると、容量509a、510a、511aの電圧V1、V2、V3は正確に1:3:5となる。

【0093】一方、CLK1がハイ状態の期間、スイッチ520aはオン状態であり、容量512aの電荷は放電されている。CLK1がロー状態に戻り、同時にCLK2がハイ状態となると、電流スイッチ504aがオン状態になり、時間に比例して容量512aに電荷がチャージされてゆく。ここで、電流スイッチ504aの電流源を、電流スイッチ501aの6倍になるようにデータを設定、またはハードで実現しておく。すると、CLK2が立ち上がってから $(1/6)T$ 経過後に、容量512aの電圧V4はV1に一致し、 $(3/6)T$ 経過後にV2に一致し、 $(5/6)T$ 経過後にV3に一致する。コンパレータ525aはこの $(1/6)T$ のタイミングを検出して出力(第1の遅延発生器出力)し、コンパレータ526aはこの $(3/6)T$ のタイミングを検出して出力(第2の遅延発生器出力)し、コンパレータ527aはこの $(5/6)T$ のタイミングを検出して出力(第3の遅延発生器出力)する。パルス幅調整回路531a、532a、533aの出力(c01、c02、c03)はD-FF537a、538a、539aのセット入力端子に送出され、これらのD-FFをオン状態にする。これによりスイッチ517a、518a、519aがオン状態となり、容量509a、510a、511aの電荷を放電し、次のチャージに備える。

【0094】第4~第6の遅延発生器の動作は、上述した第1~第3の遅延発生器の動作とそれぞれTずれること以外はまったく同様である。従って、パルス幅調整回路531a~536aは $(1/3)T$ 毎に順番にパルスを出力することになる。結果として通倍器の第2の実施形態は、ワンショット・マルチバイブレータ544aで決定されるパルス幅を持つ、周期 $(1/3)T$ の矩形波信号を出力することになる。

【0095】通倍器の第2の実施形態は、遅延発生器を使用して入力信号の周期よりも短い間隔でパルスを発生させることにより、無調整で低スプリアスな出力信号を発生させることができる。遅延発生器に、本発明のプログラブル遅延発生器を用いることは、回路定数の設定値からのずれや、電源電圧の変動があってもスプリアス特性が悪化しない効果がある。

【0096】なお、本実施形態における遅延発生器の遅延時間は $(1/6)T$ 、 $(3/6)T$ 、 $(5/6)T$ の場合を例に述べたが、3通倍器を実現する遅延発生器の遅延時間の組み合わせは無数に考えられる。例えば、

0、 $(1/3)T$ 、 $(2/3)T$ の組み合わせ、 $(1/3)T$ 、 $(2/3)T$ 、 $(3/3)T$ の組み合わせが考えられ、それぞれの場合についても容易にハードで実現可能である。出力のスプリアス特性、回路規模の両面を考慮すると、 $(1/6)T$ 、 $(3/6)T$ 、 $(5/6)T$ の組み合わせが最も優れている。

【0097】(通倍器の第3の実施形態)図18は、本発明の通倍器の第3の実施形態を示す。

【0098】図において、数字符号500bは分配回路、501b~503b、505b、507bは所定の電流を流し込む(あるいは流し出す)ように、データを設定またはハードで実現され、オン、オフを外部から制御される電流スイッチ、509b~511b、513b、515bは容量、517b~519b、521b、523bはスイッチ、525b~526b、528bはコンパレータ、531b~532b、534bはパルス幅調整回路、537b~538b、540bはD-F F、543bはORゲート、544bはワンショット・マルチバイブレータ、600bは被通倍信号入力端子、601bは出力端子を表している。

【0099】本実施形態は、3個の遅延発生器を含んでいる。被通倍信号の周期をTとすると、第1の遅延発生器が $(1/6)T$ の遅延時間を発生し、第2の遅延発生器が $(5/6)T$ の遅延時間を発生し、第3の遅延発生器が $(9/6)T$ の遅延時間を発生する。

【0100】動作原理は通倍器の第1、第2の実施形態と同じであるが、遅延発生器の個数とその遅延時間が異なる。電流スイッチ501b、容量509b、スイッチ517bは第1の遅延発生器の閾値電圧V1を発生し、電流スイッチ503b、容量511b、スイッチ519bは第1の遅延発生器のランプ波V3を発生する。V1及びV3の電圧を比較するコンパレータ525bの出力は第1の遅延発生器の出力となる。パルス幅調整回路531bは第1の遅延発生器の出力パルス幅を短く整形する。これは、第1の遅延発生器の出力パルスが、第2、第3の遅延発生器からの出力パルスと時間的に重ならないようにするためである。

【0101】図19は、通倍器の第3の実施形態の動作例を示すタイムチャートである。(a)は被通倍信号(CLK)、(b)は分配回路500b出力(CLK1)、(c)は分配回路500b逆相出力(CLK2)、(d)は第1の遅延発生器の閾値電圧V1、第2の遅延発生器の閾値電圧V2、第1の遅延発生器のランプ波(兼第2の遅延発生器のランプ波)V3、(e)は第3の遅延発生器の閾値電圧V4、第3の遅延発生器のランプ波V5、(f)は通倍器の第3の実施形態の出力である。

【0102】分配回路500bの出力CLK1がハイ状態になると、電流スイッチ501b、502bがオン状態になり、時間に比例して容量509b、510bに電

荷がチャージされてゆく。被通倍信号の周期Tが経過すると、CLK1がロー状態になり、電流スイッチ501b、502bがオフ状態に戻る。ここで、コンパレータ525b、526bの入力インピーダンスが十分に高ければ、容量509b、510bにチャージされた電荷は保持される。ここで、電流スイッチ501b、502bの電流源を1:5になるようにデータを設定、またはハードで実現すると、容量509b、510bの電圧V1、V2は正確に1:5となる。

【0103】一方、CLK1がハイ状態の期間、スイッチ519bはオン状態であり、容量511bの電荷は放電されている。CLK1がロー状態に戻り、同時にCLK2がハイ状態となると、電流スイッチ503bがオン状態になり、時間に比例して容量511bに電荷がチャージされてゆく。ここで、電流スイッチ503bの電流源を、電流スイッチ501bの6倍になるようにデータを設定、またはハードで実現しておく。すると、CLK2が立ち上がってから $(1/6)T$ 経過後に、容量511bの電圧V3はV1に一致し、 $(5/6)T$ 経過後にV2に一致する。コンパレータ525bはこの $(1/6)T$ のタイミングを検出して出力(第1の遅延発生器出力)し、コンパレータ526bはこの $(5/6)T$ のタイミングを検出して出力(第2の遅延発生器出力)する。パルス幅調整回路531b、532bの出力(c o 1、c o 2)はD-F F 537b、538bのセット入力端子に送出され、これらのD-F Fをオン状態にする。これによりスイッチ517b、518bがオン状態となり、容量509b、510bの電荷を放電し、次のチャージに備える。

【0104】第3の遅延発生器は、同様にしてCLK1が立ち上がってから $(3/6)T$ 経過後にパルスを出力する。このタイミングはCLK2が立ち上がってから $(9/6)T$ 経過後に相当する。従って、パルス幅調整回路531b~532b、534bは $(4/6)T$ 毎に順番にパルスを出力することになる。結果として通倍器の第3の実施形態は、ワンショット・マルチバイブレータ544bで決定されるパルス幅を持つ、周期 $(4/6)T$ の矩形波信号を出力することになる。

【0105】通倍器の第3の実施形態は、遅延発生器を使用して入力信号の周期よりも短い間隔でパルスを発生させることにより、無調整で低スプリアスな出力信号を発生させることができる。遅延発生器に、本発明のプログラブル遅延発生器を用いることは、回路定数の設定値からのずれや、電源電圧の変動があってもスプリアス特性が悪化しない効果がある。

【0106】なお、本実施形態における遅延発生器の遅延時間は $(1/6)T$ 、 $(5/6)T$ 、 $(9/6)T$ の場合を例に述べたが、 $3/2$ 通倍器を実現する遅延発生器の遅延時間の組み合わせは無数に考えられる。例えば、0、 $(4/6)T$ 、 $(8/6)T$ の組み合わせ、

10

20

30

40

50

(2/6) T、(6/6) T、(10/6) T の組み合わせが考えられ、それぞれの場合についても容易にハードで実現可能である。出力のスプリアス特性、回路規模の両面を考慮すると、(1/6) T、(5/6) T、(9/6) T の組み合わせが最も優れている。

【0107】(デューティ比変換回路の第1の実施形態) 図20は、本発明のデューティ比変換回路の第1の実施形態を示す。

【0108】図において、数値符号550は本発明の通倍器(2通倍器)、551はT-FF、602はパルス信号入力端子、603は出力端子である。

【0109】図21は、デューティ比変換回路の第1の実施形態の動作例を示すタイムチャートである。(a)はパルス信号、(b)は通倍器550出力、(c)はT-FF 551出力を示している。入力されるパルス信号(a)の周期をTとすると、通倍器550の出力(b)は周期(1/2) Tの矩形波となる。T-FF 551は、通倍器550からのパルスを入力する毎に出力のハイ、ローを切り換える。従って、T-FF 551の出力は、デューティ比が50%、周期Tの矩形波となる。

【0110】デューティ比変換回路の第1の実施形態は、本発明の通倍器を用いて入力されるパルス信号の半分の周期のタイミングを正確に発生させることにより、入力されるパルス信号のデューティ比と無関係に、無調整でデューティ比50%の矩形波信号に変換できる。本発明の通倍器を用いることは、回路定数の設定値からのずれや、電源電圧の変動があっても、出力のデューティ比が50%からずれることを防ぐ効果がある。また、本発明の通倍器を用いることは、入力するパルス信号の周波数を変化させても、無調整で50%のデューティ比が

【0111】(デューティ比変換回路の第2の実施形態) 図22は、本発明のデューティ比変換回路の第2の実施形態を示す。

【0112】図において、数値符号560は分配回路、561、562、564、565は入力データに比例した電流を流し込む(あるいは流し出す)電流スイッチアレイ、567、568、570、571は容量、573、574、576、577はスイッチ、579、580、582、583は多ビットのデジタルデータを切り

$$V1 = -(KI_0/C) \cdot T$$

ここで、 I_0 は電流スイッチアレイ561の単位電流である。 $V1$ が保持されるのと同じタイミングでCLK 2がハイ状態になり、電流スイッチアレイ562がオン状態になり、設定データS及び時間に比例して容量56

$$V2 = -(SI_0/C) \cdot (t - t_0)$$

従って、時刻 t_0 から $V1$ と $V2$ が一致するまでの時間(すなわち第1の遅延発生器の遅延時間) t_d は、次式で表される。

$$t_d = (K/S) \cdot T$$

…(21)

換えるスイッチ、585、587はコンパレータ、589~592はパルス幅変換回路、593、595はD-FF、597、598はSR-FF、599はORゲート、604はパルス信号入力端子、605は出力端子、606は設定データK入力端子、607は設定データS入力端子を表している。

【0113】本実施形態は、2個の遅延発生器を含んでいる。入力されるパルス信号の周期をTとすると、第1の遅延発生器及び第2の遅延発生器は $(K/S) T$ の遅延時間を発生する。

【0114】電流スイッチアレイ561、容量567、スイッチ573は、第1の遅延発生器の閾値電圧 $V1$ を発生し、電流スイッチアレイ562、容量568、スイッチ574は、第1の遅延発生器のランプ波 $V2$ を発生する。

【0115】電流スイッチアレイ564、容量570、スイッチ576は、第2の遅延発生器の閾値電圧 $V3$ を発生し、電流スイッチアレイ565、容量571、スイッチ577は、第2の遅延発生器のランプ波 $V4$ を発生する。

【0116】図23は、デューティ比変換回路の第2の実施形態の動作例を示すタイムチャートである。(a)はパルス信号(CLK)、(b)は分配回路560出力(CLK1)、(c)は分配回路560逆相出力(CLK2)、(d)は第1の遅延発生器の閾値電圧 $V1$ 、第1の遅延発生器のランプ波 $V2$ 、(e)は第2の遅延発生器の閾値電圧 $V3$ 、第2の遅延発生器のランプ波 $V4$ 、(f)はデューティ比変換回路の第2の実施形態の出力である。

【0117】分配回路560はT-FFであり、パルス信号(CLK)のパルスの入力とともにその出力を反転させる((b) CLK1、(c) CLK2)。CLK1がハイ状態になると、電流スイッチアレイ561がオン状態になり、設定データK及び時間に比例して容量567に電荷がチャージされてゆく。入力されるパルス信号の周期T経過後に、CLK1はロー状態に戻り、電流スイッチアレイ561はオフ状態となり、容量567の電圧 $V1$ は保持される。保持された電圧 $V1$ は次式で表される。

$$\dots (19)$$

8に電荷がチャージされてゆく。CLK2がハイ状態に立ち上がる時刻を t_0 とすると、容量568の電圧 $V2$ は次式で表される。

$$\dots (20)$$

【0118】SR-FF 597はCLK2の立ち上がりのタイミング(すなわち時刻 t_0)でセットされ、 $V1$ と $V2$ が一致するタイミングでリセットされる。従って、SR-FF 597の出力パルス幅は(21)式に一致

する。一方、第2の遅延発生器は第1の遅延発生器と時間的にTずれた動作をし、第1の遅延発生器及び第2の遅延発生器はそれぞれ2T周期の動作をする。従ってORゲート599出力は、周期T、パルス幅 $(K/S) \cdot T$ の矩形波となる。すなわち、デューティ比変換回路の第2の実施形態はデューティ比 (K/S) の矩形波を発生する。

【0119】本発明のデューティ比変換回路は、本発明のプログラマブル遅延発生器を出力信号のパルス幅を決定する手段として用いることにより、無調整で精度の良いデューティ比に変換できる。遅延発生器に、本発明のプログラマブル遅延発生器を用いることは、回路定数の設定値からのずれや、電源電圧の変動があっても、出力のデューティ比の設定値からのずれを引き起こさない効果がある。また、遅延発生器に、本発明のプログラマブル遅延発生器を用いることは、入力するパルス信号の周波数を変化させても無調整で希望のデューティ比が得られる効果がある。

【0120】(デューティ比変換回路の第3の実施形態) 図24は、本発明のデューティ比変換回路の第3の実施形態を示す。

【0121】図において、数値符号560aは分配回路、561a~566aは入力データに比例した電流を流し込む(あるいは流し出す)電流スイッチアレイ、567a~572aは容量、573a~578aはスイッチ、579a~584aは多ビットのデジタルデータを切り換えるスイッチ、585a~588aはコンパレータ、589a~592aはパルス幅変換回路、593a~596aはD-FF、597a、598aはSR-FF、599aはORゲート、604aはパルス信号入力端子、605aは出力端子、608は設定データK1入力端子、609は設定データK2入力端子、610は設定データS入力端子を表している。

【0122】本実施形態は、4個の遅延発生器を含んでいる。入力されるパルス信号の周期をTとすると、第1の遅延発生器及び第3の遅延発生器は $(K1/S) \cdot T$ の遅延時間を発生し、第2の遅延発生器及び第4の遅延発生器は $(K2/S) \cdot T$ の遅延時間を発生する。

$$td1 = (K1/S) \cdot T$$

一方、第2、第4の遅延発生器の遅延時間td2は設定

$$td2 = (K2/S) \cdot T$$

【0127】SR-FF597aは第1の遅延発生器の出力パルスでセットされ、第2の遅延発生器の出力パルスでリセットされる。従って、SR-FF597aの出力パルス幅は $((K2-K1)/S) \cdot T$ で表される。一方、第3、第4の遅延発生器は第1、第2の遅延発生器と時間的にTずれた動作をし、すべての遅延発生器は2T周期の動作をする。従ってORゲート599a出力は、周期T、パルス幅 $((K2-K1)/S) \cdot T$ の矩形波となる。すなわち、デューティ比変換回路の第3の実施形態はデューティ比 $((K2-K1)/S)$ の矩形

生器は $(K2/S) \cdot T$ の遅延時間を発生する。

【0123】電流スイッチアレイ561a、容量567a、スイッチ573aは、第1の遅延発生器の閾値電圧V1を発生し、電流スイッチアレイ562a、容量568a、スイッチ574aは、第2の遅延発生器の閾値電圧V2を発生し、電流スイッチアレイ563a、容量569a、スイッチ575aは、第1、第2の遅延発生器の共通のランプ波電圧V3を発生する。

【0124】電流スイッチアレイ564a、容量570a、スイッチ576aは、第3の遅延発生器の閾値電圧V4を発生し、電流スイッチアレイ565a、容量571a、スイッチ577aは、第4の遅延発生器の閾値電圧V5を発生し、電流スイッチアレイ566a、容量572a、スイッチ578aは、第3、第4の遅延発生器の共通のランプ波電圧V6を発生する。

【0125】図25は、デューティ比変換回路の第3の実施形態の動作例を示すタイムチャートである。(a)はパルス信号(CLK)、(b)は分配回路560a出力(CLK1)、(c)は分配回路560aの逆相出力(CLK2)、(d)は第1の遅延発生器の閾値電圧V1、第2の遅延発生器の閾値電圧V2、第1、第2の遅延発生器のランプ波V3、(e)は第3の遅延発生器の閾値電圧V4、第4の遅延発生器のランプ波V5、第3、第4の遅延発生器のランプ波V6(f)はデューティ比変換回路の第3の実施形態の出力である。

【0126】デューティ比変換回路の第2の実施形態では、出力パルスが立ち下がるタイミングのみが遅延発生器で決定され、出力パルスが立ち上がるタイミングは入力されるパルス信号と一致しているのに対し、第3の実施形態では、出力パルスが立ち上がるタイミングと立ち下がるタイミングともに別々の遅延発生器で決定される。出力パルスが立ち上がるタイミングは第1、第3の遅延発生器で決定され、出力パルスが立ち下がるタイミングは第2、第4の遅延発生器で決定される。第1、第3の遅延発生器の遅延時間td1は設定データK1、Sを用いて次式で表される。

$$\dots(22)$$

データK2、Sを用いて次式で表される。

$$\dots(23)$$

波を発生する。

【0128】本発明のデューティ比変換回路は、本発明のプログラマブル遅延発生器を出力信号のパルス幅を決定する手段として用いることにより、無調整で精度の良いデューティ比に変換できる。遅延発生器に、本発明のプログラマブル遅延発生器を用いることは、回路定数の設定値からのずれや、電源電圧の変動があっても、出力のデューティ比の設定値からのずれを引き起こさない効果がある。また、遅延発生器に、本発明のプログラマブル遅延発生器を用いることは、入力するパルス信号の周

波数を変化させても無調整で希望のデューティ比が得られる効果がある。本実施形態は、入力されるパルス信号のタイミングに対して、出力パルスの立ち上がり、立ち下りのタイミングを別々に自由に選べることから、出力信号の位相を自由に設定できる利点がある。

【0129】(PLL周波数シンセサイザ)図26は、本発明のPLL周波数シンセサイザの実施形態を示す。

【0130】図において、数字符号611は参照信号入力端子、612は出力端子、700は位相比較器、701はループフィルタ、702は電圧制御発振器(VCO)、703は所定の分周数の分周器、704は通倍数N/Mの本発明の通倍器である。

【0131】本実施形態のPLL周波数シンセサイザは、基本的なPLL周波数シンセサイザの構成における分周器と位相比較器の間に、本発明の通倍器を挿入することを特徴とする。このように分周器と位相比較器の間に周波数変換を目的としてミキサやパルス列発生器を挿入する試みが報告されている。パルス列発生器を挿入する試み(参考文献:T. Nakagawa and T. Ohira, "A phase noise reduction technique for MMIC frequency synthesizers that uses a new pulse generator LSI," IEEE Trans. Microwave Theory Tech., vol. 42, no. 12, pp. 2579-2582, Dec. 1994.)では、分周器と位相比較器との間にパルス列発生器を挿入することで、周波数ステップを細かく保持したままで、基準周波数のみを高くし、位相雑音を低減化することに成功している。しかしながらパルス列発生器を挿入する試みでは、挿入パルス間の時間間隔の整数倍が分周器の周期に一致していない場合にはスプリアスを生じる。このため、挿入パルス列の時間間隔を調整する必要があった。

【0132】これに対して、本発明の通倍器は無調整で等間隔のパルスを出力するので、これを用いた本実施形態のPLL周波数シンセサイザは、出力にスプリアスを生じることなしに、基準周波数をN/M倍高くでき、位相雑音を低減化できる。また、本実施形態ではループフィルタ701の帯域を広げても、基本的なPLL周波数シンセサイザの構成で達成できる位相雑音特性を維持できるため、高速周波数切り換えが可能である。

【0133】

【発明の効果】以上説明したように、本発明のプログラマブル遅延発生器は、遅延時間を決定するためのランプ波電圧および閾値電圧を同一構成の回路で発生させることができるので、遅延時間の絶対値の調整が不要である。また、ランプ波電圧および閾値電圧をそれぞれ独立に設定できるので、分子分母の両者が設定可能な分数の遅延時間を発生させることができる。さらに、ランプ波発生回路および閾値電圧発生回路の動作が外部クロックに同期しているので、遅延時間の絶対精度を向上させることができる。

【0134】本発明の周波数シンセサイザは、本発明の

プログラマブル遅延発生器を使用してアキュムレータの出力パルスの位相補間を行うことにより、無調整で低スプリアスな出力信号を発生させることができる。また、本発明の周波数シンセサイザは、ROMを用いる通常のダイレクトデジタルシンセサイザと比較して、低消費電力および高周波数動作が可能である。

【0135】本発明の通倍器は、本発明のプログラマブル遅延発生器を使用して入力信号の周期よりも短い間隔でパルスを発生させることにより、無調整で低スプリアスな出力信号を発生させることができる。遅延発生器に、本発明のプログラマブル遅延発生器を用いることは、回路定数の設定値からのずれや、電源電圧の変動があってもスプリアス特性が悪化しない効果がある。本発明の通倍器は、素子の非線形成を利用した従来の通倍器やミキサを使用した従来の通倍器と比較してフィルタが不要であり、フィルタなしで多段接続が可能である。このことは被通倍信号の周波数範囲の拡大や、回路規模の縮小に効果がある。また本発明の通倍器は、PLL周波数シンセサイザを用いた従来の通倍器と比較して、回路規模が小さく、低消費電力である特徴がある。

【0136】本発明のデューティ比変換回路は、本発明のプログラマブル遅延発生器を出力信号のパルス幅を決定する手段として用いることにより、無調整で精度の良いデューティ比に変換できる。遅延発生器に、本発明のプログラマブル遅延発生器を用いることは、回路定数の設定値からのずれや、電源電圧の変動があっても、出力のデューティ比の設定値からのずれを引き起こさない効果がある。また、遅延発生器に、本発明のプログラマブル遅延発生器を用いることは、入力するパルス信号の周波数を変化させても無調整で希望のデューティ比が得られる効果がある。

【0137】本発明のPLL周波数シンセサイザは、本発明の通倍器を従来のPLL周波数シンセサイザの分周器と位相比較器の間に挿入することにより、従来と同じステップ周波数を実現しながら通倍器の通倍比に比例した高い周波数の参照信号を使用することができる。参照信号の周波数を高くできることは、従来技術と同程度の位相雑音特性を保ちながら、高速セトリング、高速周波数切り換えが可能になる効果がある。また、従来技術と同程度の周波数切り換え時間を実現しながら、低位相雑音化が可能になる効果がある。本発明のPLL周波数シンセサイザは、通倍器の低スプリアス性の利点があるまま生かされ、無調整で低ジッタ、低スプリアスな出力信号を得ることが可能である。

【図面の簡単な説明】

【図1】本発明のプログラマブル遅延発生器の第1の実施形態を示すブロック図。

【図2】プログラマブル遅延発生器の第1の実施形態の動作例を示すタイムチャート。

【図3】本発明のプログラマブル遅延発生器の第2の実

施形態を示すブロック図。

【図4】プログラマブル遅延発生器の第2の実施形態の動作例を示すタイムチャート。

【図5】本発明の周波数シンセサイザの第1の実施形態を示すブロック図。

【図6】アキュムレータ40Aの動作原理を説明する図。

【図7】周波数シンセサイザの第1の実施形態の動作例を示すタイムチャート。

【図8】周波数シンセサイザの第1の実施形態の実験結果を示す図。

【図9】実験結果における出力信号スペクトルを示す図。

【図10】本発明の周波数シンセサイザの第2の実施形態を示すブロック図。

【図11】本発明の周波数シンセサイザの第3の実施形態を示すブロック図。

【図12】従来のプログラマブル遅延発生器の構成例を示すブロック図。

【図13】従来のプログラマブル遅延発生器の動作例を示すタイムチャート。

【図14】本発明の通倍器の第1の実施形態を示すブロック図。

【図15】通倍器の第1の実施形態の動作例を示すタイムチャート。

【図16】本発明の通倍器の第2の実施形態を示すブロック図。

【図17】通倍器の第2の実施形態の動作例を示すタイムチャート。

【図18】本発明の通倍器の第3の実施形態を示すブロック図。

【図19】通倍器の第3の実施形態の動作例を示すタイムチャート。

【図20】本発明のデューティ比変換回路の第1の実施形態を示すブロック図。

【図21】デューティ比変換回路の第1の実施形態の動作例を示すタイムチャート。

【図22】本発明のデューティ比変換回路の第2の実施形態を示すブロック図。

【図23】デューティ比変換回路の第2の実施形態の動作例を示すタイムチャート。

【図24】本発明のデューティ比変換回路の第3の実施形態を示すブロック図。

【図25】デューティ比変換回路の第3の実施形態の動作例を示すタイムチャート。

【図26】本発明のPLL周波数シンセサイザの実施形態を示すブロック図。

【符号の説明】

10A、10B ランプ波発生回路

20A、20B 閾値電圧発生回路

11、21 データセクタ

12、22 ラッチ

13、23 電流スイッチアレイ

14、24 スイッチ

15、25 容量

16、26 電流スイッチ

17、27 分圧器

31 コンパレータ

32 ワンショット

40A、40B、40C アキュムレータ

41A、41B、41C 加算器

42A、42B、42C ラッチ

50A、50B、50C データ変換回路

60A、60B、60C 制御回路

70 プログラマブル遅延発生器

81 トリガ回路

82 電流源

83 容量

84 スイッチ

85 ラッチ

86 D/A変換器

87 コンパレータ

88 ワンショット

101 S側イネーブル信号入力端子

102 設定データS入力端子

103 S側リーク信号入力端子

201 K側イネーブル信号入力端子

202 設定データK入力端子

203 K側リーク信号入力端子

301 クロック入力端子

302 出力信号出力端子

401 リーク信号入力端子

402 トリガ信号入力端子

403 ラッチ信号入力端子

404 設定データ入力端子

405 出力信号出力端子

500、500a、500b 分配回路

501、501a、501b 電流スイッチ

502、502a、502b 電流スイッチ

503、503a、503b 電流スイッチ

504a 電流スイッチ

505、505a、505b 電流スイッチ

506、506a 電流スイッチ

507、507a、507b 電流スイッチ

508a 電流スイッチ

509、509a、509b 容量

510、510a、510b 容量

511、511a、511b 容量

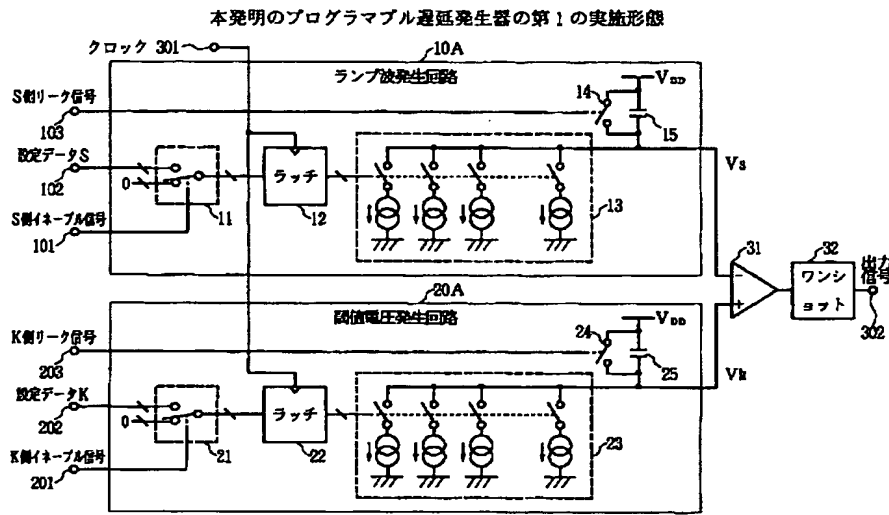
512a 容量

513、513a、513b 容量

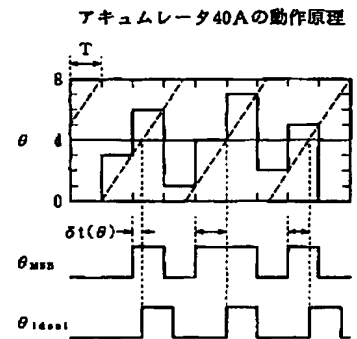
514、514a 容量
 515、515a、515b 容量
 516a 容量
 517、517a、517b スイッチ
 518、518a、518b スイッチ
 519、519a、519b スイッチ
 520a スイッチ
 521、521a、521b スイッチ
 522、522a スイッチ
 523、523a、523b スイッチ
 524a スイッチ
 525、525a、525b コンパレータ
 526、526a、526b コンパレータ
 527a コンパレータ
 528、528a、528b コンパレータ
 529、529a コンパレータ
 530a コンパレータ
 531、531a、531b パルス幅調整回路
 532、532a、532b パルス幅調整回路
 533a パルス幅調整回路
 534、534a、534b パルス幅調整回路
 535、535a パルス幅調整回路
 536a パルス幅調整回路
 537、537a、537b D-FF
 538、538a、538b D-FF
 539a D-FF
 540、540a、540b D-FF
 541、541a D-FF
 542a D-FF
 543、543a、543b ORゲート
 544、544a、544b ワンショット・マルチバ
 イブレータ
 550 逓倍器
 551 T-FF
 560、560a 分配回路
 561、561a 電流スイッチアレイ
 562、562a 電流スイッチアレイ
 563a 電流スイッチアレイ
 564、564a 電流スイッチアレイ
 565、565a 電流スイッチアレイ
 566a 電流スイッチアレイ
 567、567a 容量
 568、568a 容量
 569a 容量
 570、570a 容量
 571、571a 容量

572a 容量
 573、573a スイッチ
 574、574a スイッチ
 575a スイッチ
 576、576a スイッチ
 577、577a スイッチ
 578a スイッチ
 579、579a スイッチ
 580、580a スイッチ
 10 581a スイッチ
 582、582a スイッチ
 583、583a スイッチ
 584a スイッチ
 585、585a コンパレータ
 586a コンパレータ
 587、587a コンパレータ
 588a コンパレータ
 589、589a パルス幅調整回路
 590、590a パルス幅調整回路
 20 591、591a パルス幅調整回路
 592、592a パルス幅調整回路
 593、593a D-FF
 594a D-FF
 595、595a D-FF
 596a D-FF
 597、597a SR-FF
 598、598a SR-FF
 599、599a ORゲート
 600、600a、600b 被逓倍信号入力端子
 30 601、601a、601b 出力端子
 602 パルス信号入力端子
 603 出力端子
 604、604a パルス信号入力端子
 605、605a 出力端子
 606 設定データK入力端子
 607 設定データS入力端子
 608 設定データK1入力端子
 609 設定データK2入力端子
 610 設定データS入力端子
 40 611 参照信号入力端子
 612 出力端子
 700 位相比較器
 701 ループフィルタ
 702 VCO
 703 分周器
 704 逓倍器

【図 1】



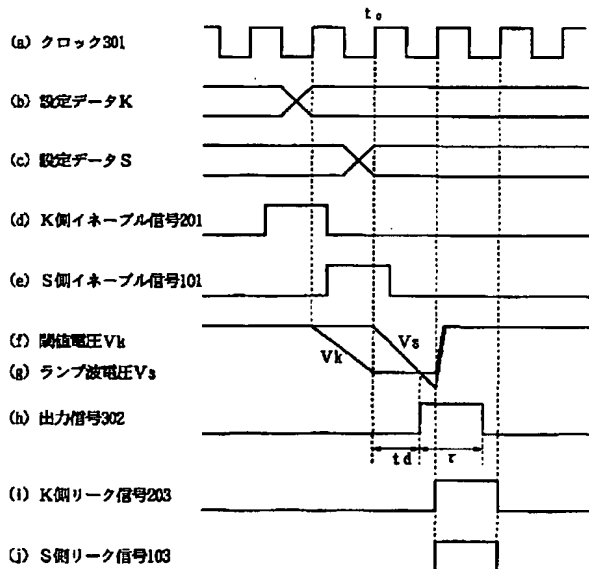
【図 6】



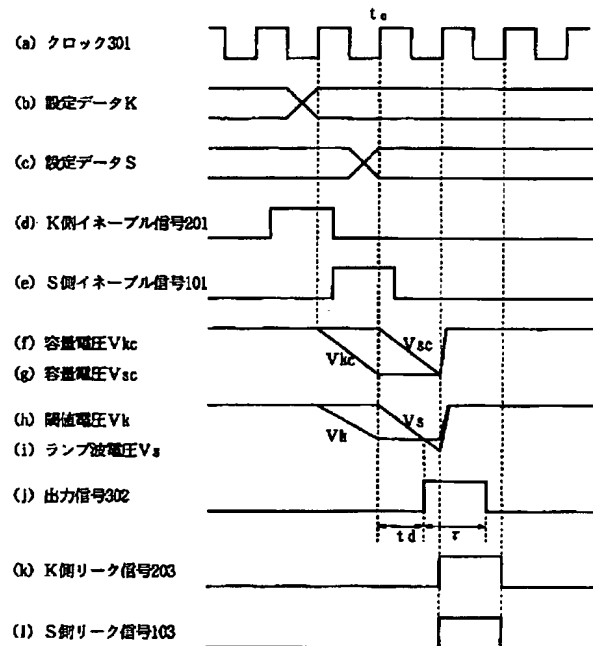
【図 2】

【図 4】

プログラマブル遅延発生器の第 1 の実施形態の動作例

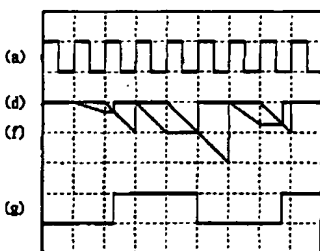


プログラマブル遅延発生器の第 2 の実施形態の動作例

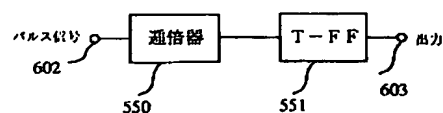


【図 8】

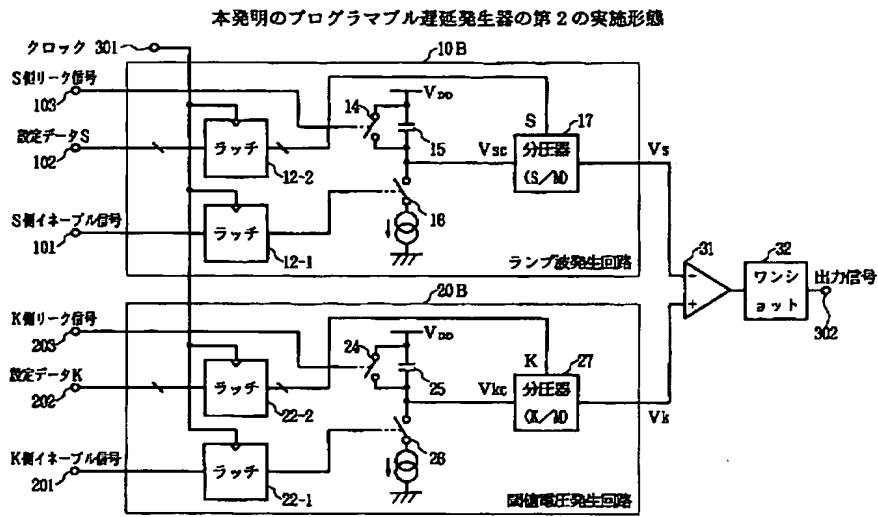
周波数シンセサイザの第 1 の実施形態の実験結果



【図 20】

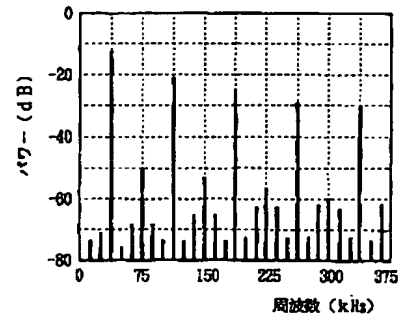


【図3】



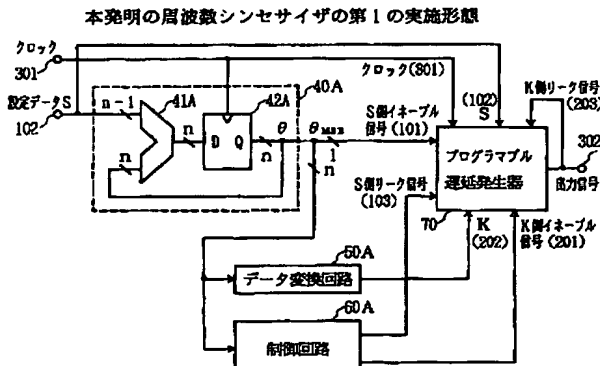
【図9】

実験結果における出力 号スペクトル



【図5】

【図7】



周波数シンセサイザの第1の実施形態の動作例

(a) クロック301

(b) アキュムレータ40Aの出力データθ

(c) θの最上位ビットθ_{max} (S側イネーブル信号101)

(d) ランプ波電圧Vs

(e) K側イネーブル信号201

(f) 閾値電圧Vk

(d) ランプ波電圧Vs

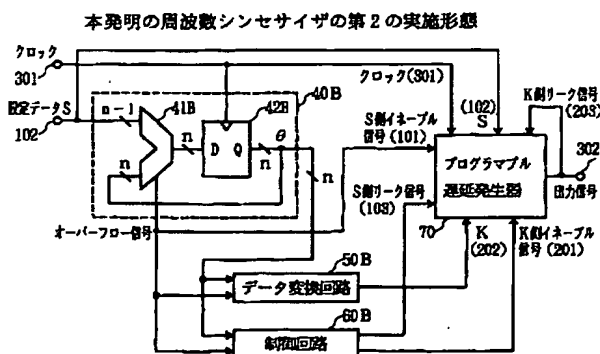
(f) 閾値電圧Vk

(g) 出力信号302

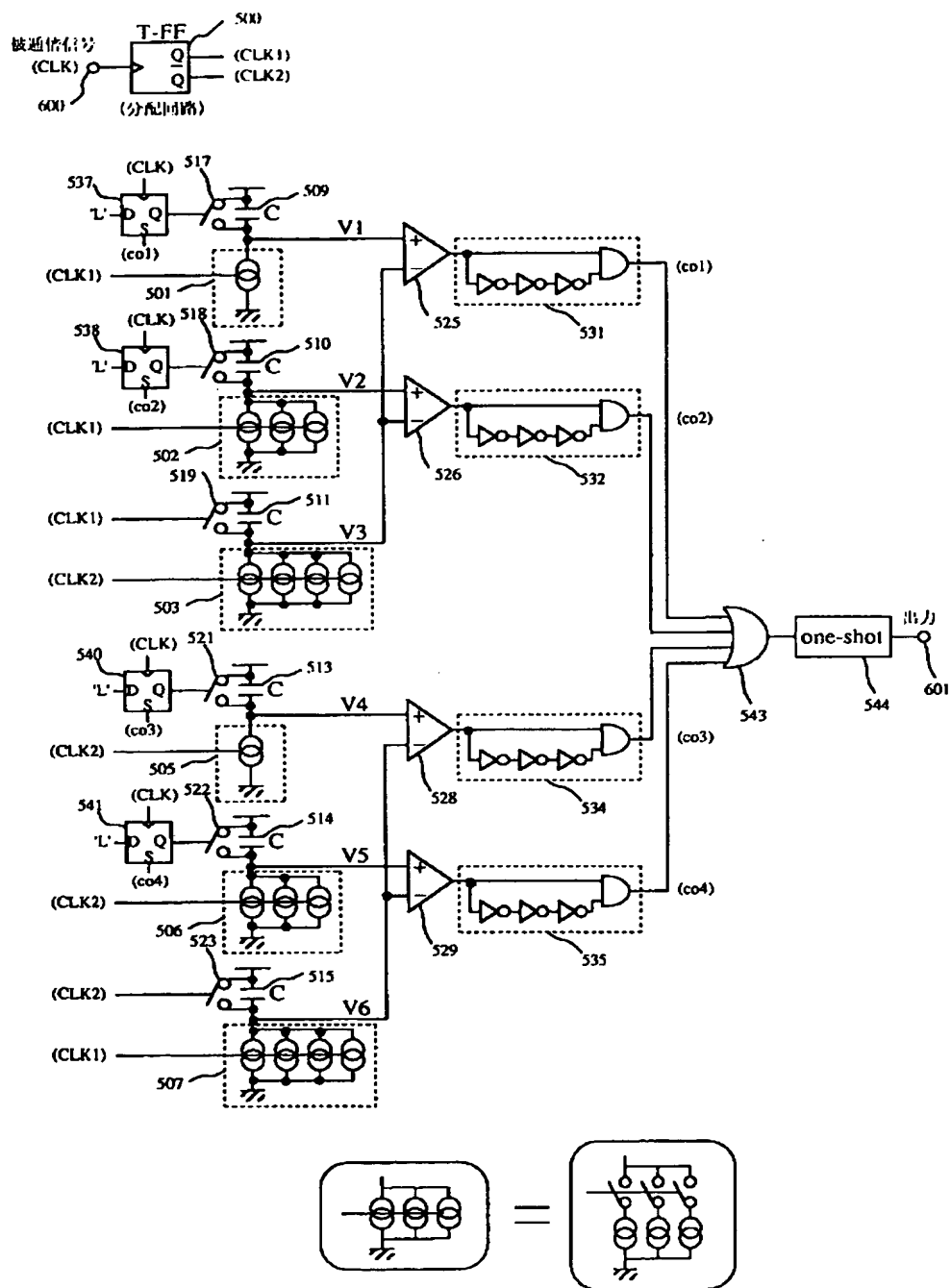
(h) K側リーク信号203

(i) S側リーク信号103

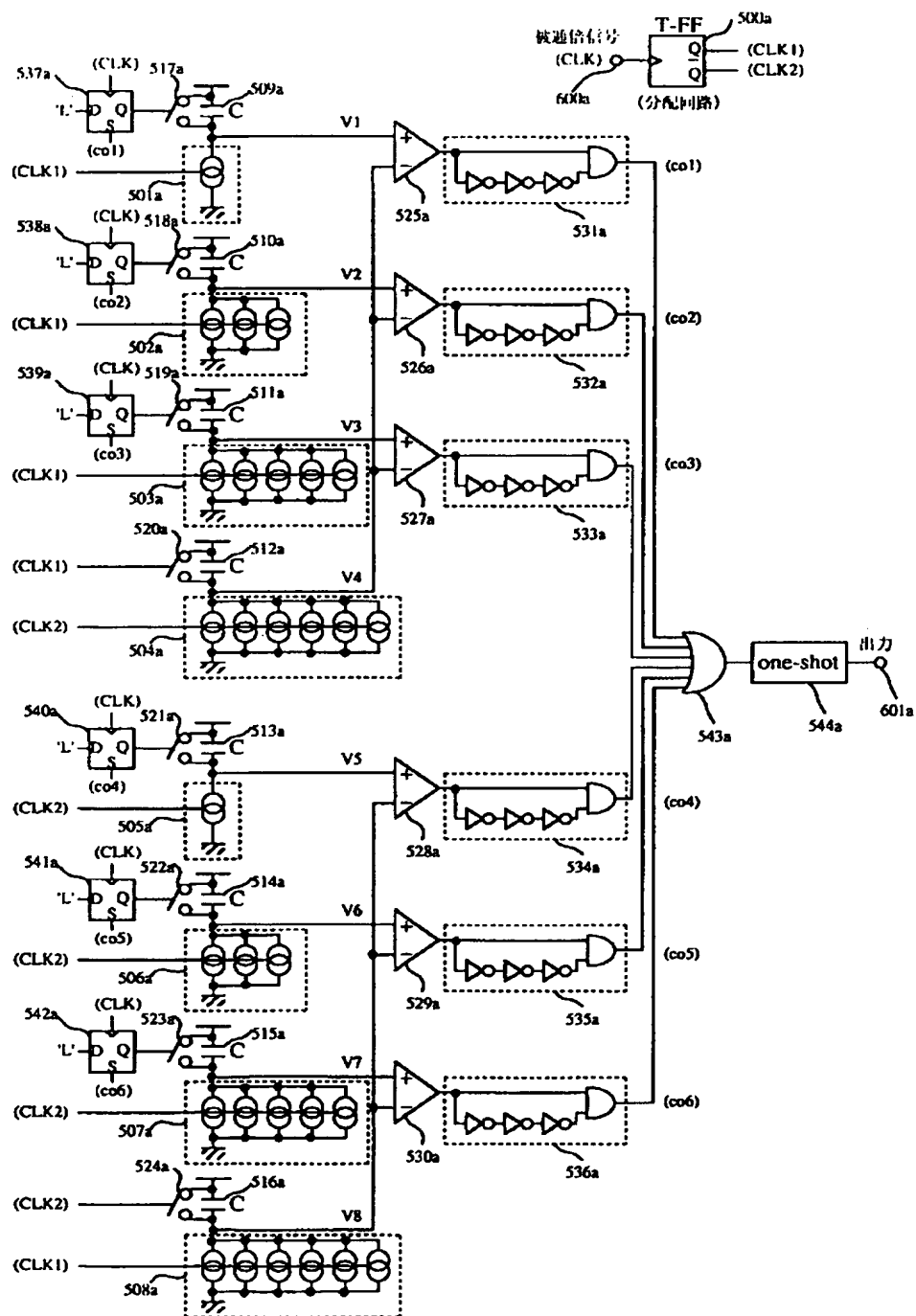
【図10】



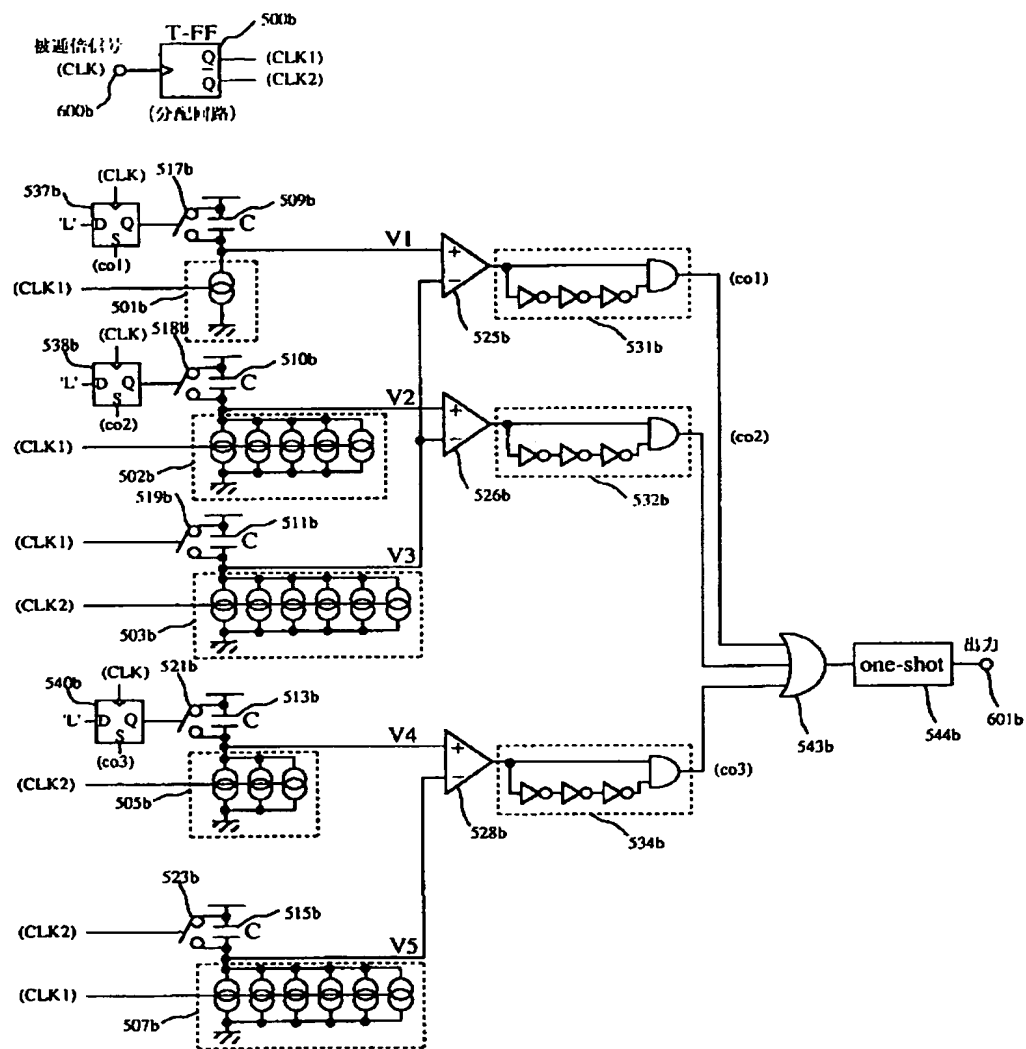
【図 1 4】



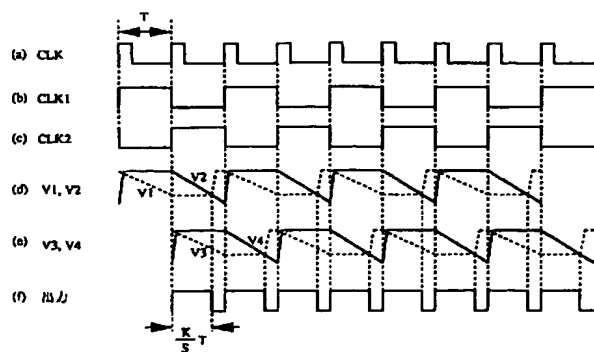
【図 16】



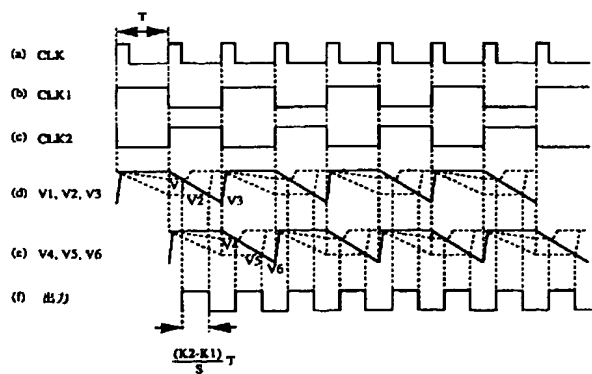
【図 18】



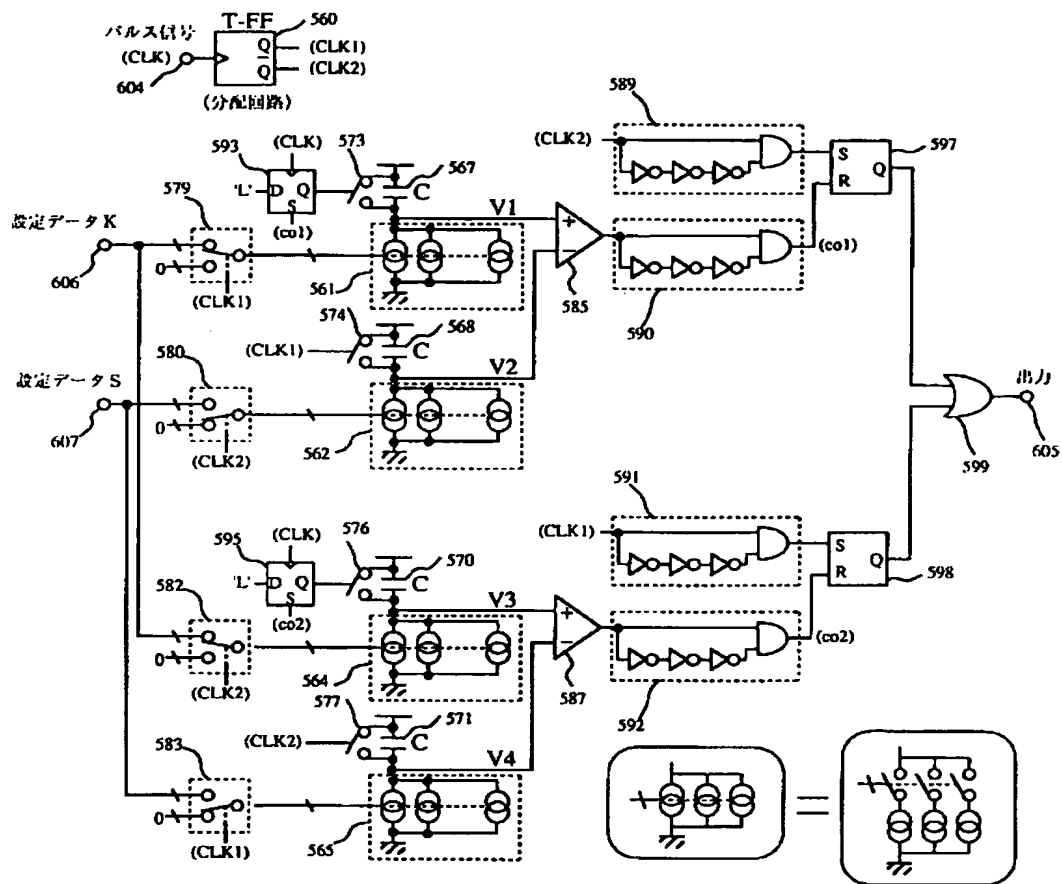
【図 23】



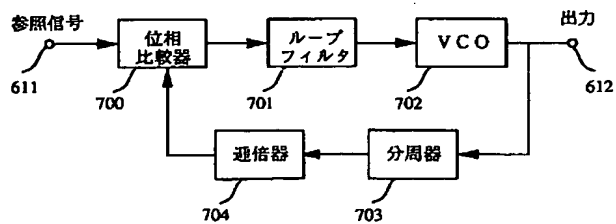
【図 25】



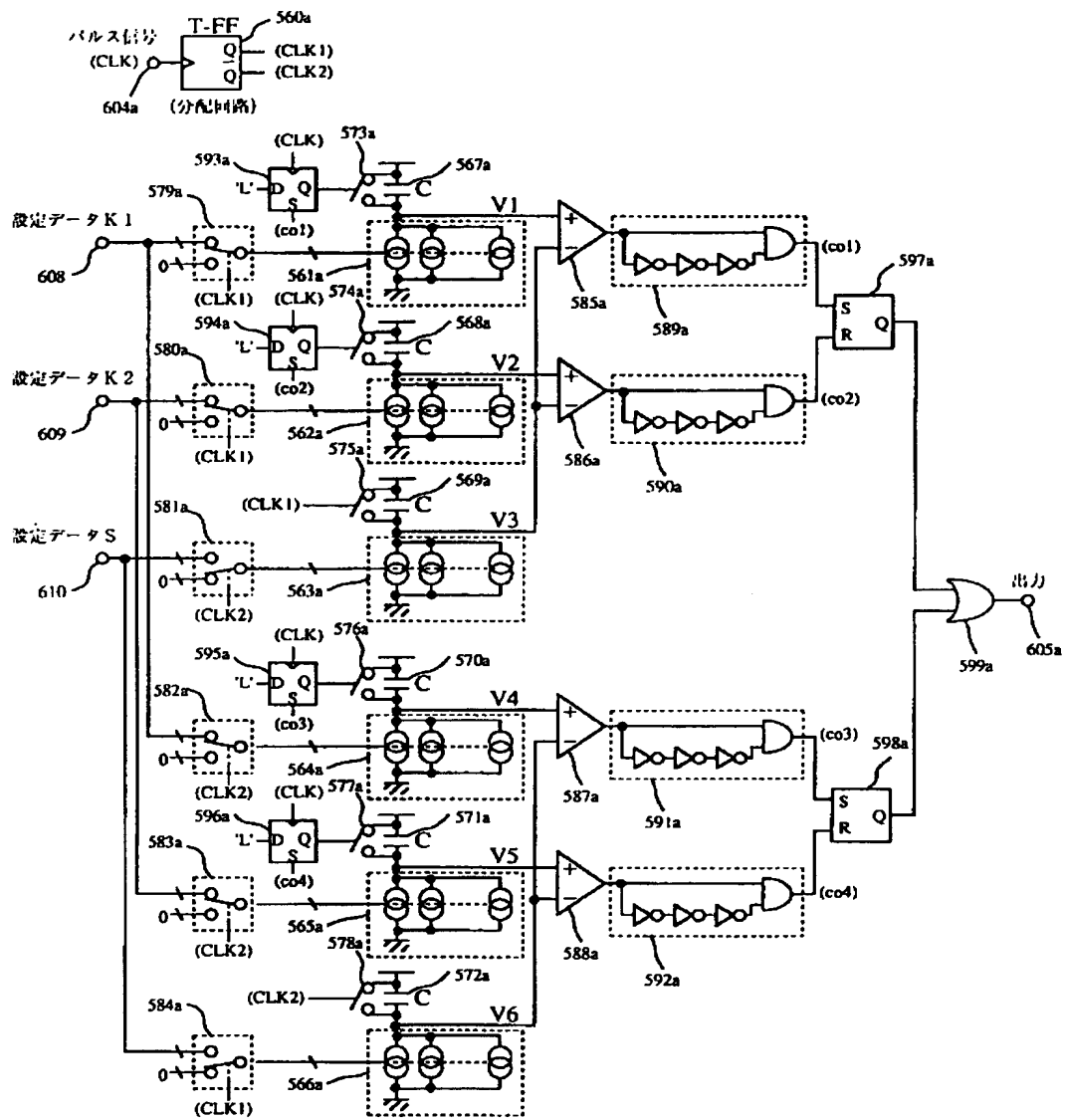
【図 2 2】



【図 2 6】



【図24】



フロントページの続き

(72) 発明者 山岸 明洋
 東京都新宿区西新宿三丁目19番2号 日本
 電信電話株式会社内